



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Joichiro EZAKI, et al.

GAU: 2877

SERIAL NO: 10/660,605

EXAMINER:

FILED: September 12, 2003

FOR: MAGNETORESISTIVE EFFECT ELEMENT, MAGNETIC MEMORY DEVICE AND METHOD OF FABRICATING THE SAME

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-307686	September 13, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    9 月 1 3 日  
Date of Application:

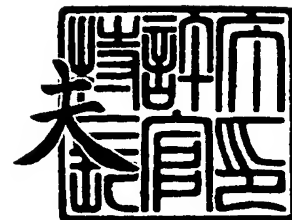
出 願 番 号            特 願 2 0 0 2 - 3 0 7 6 8 6  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 3 0 7 6 8 6 ]

出    願    人            T D K 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月    6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 TD04429

【提出日】 平成14年 9月13日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 江▲崎▼ 城一郎

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 古賀 啓治

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 柿沼 裕二

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

## 【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 磁気抵抗効果素子および磁気メモリデバイスならびにそれらの製造方法

【特許請求の範囲】

【請求項 1】 外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、

前記積層体の一方の面側に、前記積層面に沿った方向を軸方向とするように配設されると共に、複数の導線によって貫かれるように構成された環状磁性層とを備えたことを特徴とする磁気抵抗効果素子。

【請求項 2】 前記積層体が、前記環状磁性層と電気的に接続されていることを特徴とする請求項 1 に記載の磁気抵抗効果素子。

【請求項 3】 前記複数の導線は、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求項 1 または請求項 2 に記載の磁気抵抗効果素子。

【請求項 4】 前記環状磁性層の一部が前記感磁層を兼ねている

ことを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の磁気抵抗効果素子。

【請求項 5】 前記感磁層は、前記環状磁性層とは別体に設けられ、

前記感磁層と前記環状磁性層とが磁氣的に交換結合している

ことを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の磁気抵抗効果素子。

【請求項 6】 前記感磁層と前記環状磁性層との間に、前記感磁層と前記環状磁性層とを反強磁性結合させるための非磁性導電層が配設されている

ことを特徴とする請求項 5 に記載の磁気抵抗効果素子。

【請求項 7】 前記感磁層が前記環状磁性層よりも大きな保磁力を有する

ことを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項、または請求項 5 もしくは請求項 6 に記載の磁気抵抗効果素子。

【請求項 8】 前記積層体は、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第 1 の磁性層と、  
前記非磁性層の前記第 1 の磁性層と反対側に積層され、前記感磁層として機能する第 2 の磁性層と  
を含み、  
前記積層体に流れる電流に基づいて情報が検出される  
ことを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項に記載の磁気抵抗効果素子。

【請求項 9】 前記第 1 の磁性層が前記第 2 の磁性層よりも大きな保磁力を有する

ことを特徴とする請求項 8 に記載の磁気抵抗効果素子。

【請求項 10】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 1 の磁性層と交換結合した反強磁性の第 3 の磁性層が配設されている

ことを特徴とする請求項 8 または請求項 9 に記載の磁気抵抗効果素子。

【請求項 11】 前記第 1 の磁性層と前記非磁性層との間に、第 1 の磁性層と交換結合した第 4 の磁性層が配設されている

ことを特徴とする請求項 8 ないし請求項 10 のいずれか 1 項に記載の磁気抵抗効果素子。

【請求項 12】 前記第 1 の磁性層と前記第 4 の磁性層との間に、第 1 の磁性層と第 4 の磁性層とを反強磁性結合させるための第 2 の非磁性導電層が配設されている

ことを特徴とする請求項 11 に記載の磁気抵抗効果素子。

【請求項 13】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求項 8 ないし請求項 12 のいずれか 1 項に記載の磁気抵抗効果素子。

【請求項 14】 複数の第 1 の書込線と、  
前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流

が流れるように構成された積層体をそれぞれ含む複数の磁気抵抗効果素子とを備え、

前記磁気抵抗効果素子は、前記積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に第1の書込線および第2の書込線によって貫かれるように構成された環状磁性層、を含むことを特徴とする磁気メモリデバイス。

【請求項15】 前記積層体が、前記環状磁性層と電氣的に接続されていることを特徴とする請求項14に記載の磁気メモリデバイス。

【請求項16】 前記第1の書込線と第2の書込線とは、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求項14または請求項15に記載の磁気メモリデバイス。

【請求項17】 前記環状磁性層の一部が前記感磁層を兼ねている

ことを特徴とする請求項14ないし請求項16のいずれか1項に記載の磁気メモリデバイス。

【請求項18】 前記感磁層が前記環状磁性層とは別体に設けられ、

前記感磁層と前記環状磁性層とが磁氣的に交換結合している

ことを特徴とする請求項14または請求項16のいずれか1項に記載の磁気メモリデバイス。

【請求項19】 前記感磁層と前記環状磁性層との間に、前記感磁層と前記

環状磁性層とを反強磁性結合させるための非磁性導電層が配設されている

ことを特徴とする請求項18に記載の磁気メモリデバイス。

【請求項20】 前記積層体は、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、

前記非磁性層の前記第1の磁性層と反対側に積層されて前記感磁層として機能する第2の磁性層と

を含み、

前記積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求項14ないし請求項19のいずれか1項に記載の磁気メ

メモリデバイス。

【請求項 21】 前記第 2 の磁性層が前記環状磁性層よりも大きな保磁力を有する

ことを特徴とする請求項 20 に記載の磁気メモリデバイス。

【請求項 22】 前記第 1 の磁性層が前記第 2 の磁性層よりも大きな保磁力を有する

ことを特徴とする請求項 20 または請求項 21 に記載の磁気メモリデバイス。

【請求項 23】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 1 の磁性層と交換結合した反強磁性の第 3 の磁性層が配設されている

ことを特徴とする請求項 20 ないし請求項 22 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 24】 前記第 1 の磁性層と前記非磁性層との間に、第 1 の磁性層と交換結合した第 4 の磁性層が配設されている

ことを特徴とする請求項 20 ないし請求項 23 に記載の磁気メモリデバイス。

【請求項 25】 前記第 1 の磁性層と前記第 4 の磁性層との間に、第 1 の磁性層と第 4 の磁性層とを反強磁性結合させるための第 2 の非磁性導電層が配設されている

ことを特徴とする請求項 24 に記載の磁気メモリデバイス。

【請求項 26】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求項 20 ないし請求項 25 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 27】 前記第 1 および第 2 の書込線における互いに平行に延びている平行部分は、第 1 および第 2 の書込線の少なくとも一方を屈曲させることにより形成されている

ことを特徴とする請求項 16 に記載の磁気メモリデバイス。

【請求項 28】 前記第 1 および第 2 の書込線のうち的一方が矩形波状に延在すると共に、他方が直線状に延在し、

前記矩形波状の立ち上がり部分および立ち下がり部分が、前記平行部分に対応



している

ことを特徴とする請求項 27 に記載の磁気メモリデバイス。

【請求項 29】 前記屈曲した第 1 または第 2 の書込線は、導電材料からなる層間接続層を介して互いに接続された 2 つの階層部分を含んで構成されていることを特徴とする請求項 27 または請求項 28 に記載の磁気メモリデバイス。

【請求項 30】 各磁気抵抗効果素子における前記積層体の積層面に垂直な方向に読出電流を流すための複数の読出線を備え、

前記積層体に流れる電流に基づいて情報が読み出される

ことを特徴とする請求項 14 ないし請求項 25 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 31】 複数の第 1 の書込線と、前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線とを含む書込線群と、

外部磁界によって磁化方向が変化する感磁層を含む積層体を有する磁気抵抗効果素子と

を備えた磁気メモリデバイスを製造するための方法であって、

第 1 の絶縁層の上に前記第 1 の書込線を形成する工程と、

前記第 1 の書込線の一部とその周囲とを覆うように第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層の上に前記第 2 の書込線を形成する工程と、

前記第 2 の書込線をマスクとして前記第 2 の絶縁層および前記第 1 の書込線を選択的にエッチングして除去することにより、前記第 1 および第 2 の書込線が絶縁層を挟んで互いに平行に延在する積層構造を自己整合的に形成する工程と

を含むことを特徴とする磁気メモリデバイスの製造方法。

【請求項 32】 前記第 1 の書込線を形成する工程が、

前記第 1 の書込線のうち、前記第 2 の書込線と非平行な部分を形成する工程と、

前記第 1 の書込線のうちの前記第 2 の書込線と非平行な部分およびその周囲を覆うように第 3 の絶縁層を形成する工程と、

前記第 3 の絶縁層に、前記第 1 の書込線のうちの前記第 2 の書込線と非平行な

部分の端部に接続するビアホールを形成したのち、このビアホールに導電材料を埋め込むことにより、層間導通層を形成する工程と、

前記第3の絶縁層の上に、前記第1の書込線のうちの、前記積層構造に含まれる、前記第2の書込線と平行な部分を、その端部が前記層間導通層の上部に接続されるように形成する工程と

を含み、

前記第1の書込線のうち前記第2の書込線と非平行な部分と平行な部分との間を前記層間導通層によって接続することにより、前記第1の書込線を積層方向に屈曲させて形成する

ことを特徴とする請求項31に記載の磁気メモリデバイスの製造方法。

【請求項33】 前記磁気メモリデバイスが、前記第1の書込線と第2の書込線とが平行な部分の少なくとも一部を環状に取り囲む環状磁性層をさらに備える場合において、

前記第3の絶縁層の上方の、前記第1および第2の書込線における互いに平行な部分の少なくとも一部に対応する領域に、第1の環状磁性層部分を選択的に形成する工程と、

前記第1および第2の書込線の平行な部分における前記積層構造を形成したのち、この積層構造の側面および上面を覆うように第4の絶縁層を形成する工程と

前記第4の絶縁層の側面および上面を選択的に覆うと共に前記第1の環状磁性層部分に連結するように第2の環状磁性層部分を形成することにより、前記第1および第2の環状磁性層部分からなる環状磁性層を形成する工程と

を含むことを特徴とする請求項32に記載の磁気メモリデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部磁界によって磁化方向が変化する強磁性体を含む磁気抵抗効果素子ならびにその磁化方向の変化を利用して情報を記憶する磁気メモリデバイスおよびその製造方法に関する。

## 【0002】

## 【従来の技術】

従来より、コンピュータや通信機器等の情報処理装置に用いられる汎用メモリとして、DRAMやSRAMなどの揮発性メモリが使用されている。これらの揮発性メモリにおいては、記憶を保持するために絶えず電流を供給し、リフレッシュを行う必要がある。また、電源を切るとすべての情報が失われるので、これら揮発性メモリの他に情報を記録するための手段として不揮発性のメモリを設ける必要があり、例えば、フラッシュEEPROMや磁気ハードディスク装置などが用いられる。

## 【0003】

これら不揮発性メモリにおいては、情報処理の高速化に伴って、アクセスの高速化が重要な課題となっている。さらに、携帯情報機器の急速な普及および高性能化に伴い、いつでもどこでも情報処理が行える、いわゆる、ユビキタスコンピューティングを目指した情報機器開発が急速に進められている。このような情報機器開発の中心となるキーデバイスとして、高速処理に対応した不揮発性メモリの開発が強く求められている。

## 【0004】

不揮発性メモリの高速化に有効な技術としては、強磁性層の磁化容易軸に沿った磁化方向によって情報を記憶する磁気メモリ素子がマトリックス状に配列された磁気ランダムアクセスメモリ（以下、MRAM; Magnetic random access memoryという。）が知られている。MRAMでは、2つの強磁性体における磁化方向の組み合わせを利用して情報を記憶するようになっている。一方、記憶情報の読み出しは、ある基準となる方向に対し、磁化方向が平行である場合と反平行である場合とによって生じる抵抗変化（すなわち、電流あるいは電圧の変化）を検知することによって行う。

## 【0005】

現在実用化されているMRAMは、巨大磁気抵抗（GMR; Giant magnetoresistive）効果を利用したものである。GMR効果が得られるGMR素子を利用したMRAMとしては、米国特許第5343422号に

記載されたものが知られている。GMR効果とは、磁化容易軸方向に沿った平行な2つの磁性層における磁化方向が、互いに平行である場合に抵抗値が最小値となり、反平行の場合に最大値となる現象である。GMR素子を用いたMRAMには、保磁力差型（擬似スピバルブ型；Pseudo spin valve型）と、交換バイアス型（スピバルブ；spin valve型）とがある。保磁力差型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とを有し、2つの強磁性体の保磁力差を利用して情報の書込および読出を行うものである。ここで、GMR素子が、例えば「ニッケル鉄合金（NiFe）／銅（Cu）／コバルト（Co）」の構成を有する場合の抵抗変化率は、6～8%程度の小さな値である。一方、交換バイアス型のMRAMは、GMR素子が、反強磁性層との反強磁性結合により磁化方向が固定された固定層と、外部磁界により磁化方向が変化するフリー層と、それらの間に挟まれた非磁性層とを有し、固定層とフリー層との磁化方向の違いを利用して情報の書込および読出を行うものである。例えば、GMR素子の構成を「白金マンガン（PtMn）／コバルト鉄（CoFe）／銅（Cu）／CoFe」とした場合の抵抗変化率は10%程度であり保磁力差型よりも大きな値を示すが、さらなる記憶速度向上やアクセス速度向上を達成するには不十分であった。

#### 【0006】

これらの点を解決するために、トンネル磁気抵抗効果（以下、TMR効果という。）を利用したTMR素子を有するMRAMが提案されている。TMR効果は、極薄の絶縁層（トンネルバリア層）を挟んだ2つの強磁性層間における磁化方向の相対角度により絶縁層を通過して流れるトンネル電流が変化するという効果である。2つの強磁性層における磁化方向が、互いに平行な場合に抵抗値が最小となり、互いに反平行の場合に最大となる。TMR効果を利用したMRAMでは、TMR素子が、例えば「CoFe／アルミニウム酸化物／CoFe」という構成の場合、抵抗変化率が40%程度と高く、また、抵抗値も大きいためMOSFET等の半導体デバイスと組み合わせた場合のマッチングが取りやすい。このため、GMR素子を有するMRAMと比較して、より高い出力が容易に得られ、記憶容量やアクセス速度の向上が期待されている。TMR効果を利用したMRAM

では、導線に電流を流すことにより発生する電流磁界により、TMR素子の磁性膜の磁化方向を所定の方向に変化させることにより情報を記憶する方法が知られている。記憶情報の読み出す方法としては、トンネルバリア層に垂直な方向に電流を流し、TMR素子の抵抗変化を検出する方法が知られている。なお、TMR効果を用いたMRAMに関しては、米国特許第5629922号あるいは、特開平9-91949号公報などに記載がある。

#### 【0007】

##### 【特許文献1】

米国特許第5343422号明細書

##### 【特許文献2】

米国特許第5629922号明細書

##### 【特許文献3】

特開平9-91949号公報

#### 【0008】

##### 【発明が解決しようとする課題】

上記したように、TMR効果を利用したMRAMでは、GMR効果を利用したMRAMよりも高出力化を達成することができる。しかしながら、上記のような40%程度の抵抗変化率を示すTMR素子を用いたMRAMであっても、出力電圧は数十mV程度であるので、より高密度な磁気メモリデバイスを実現するには不十分である。

#### 【0009】

図32は、従来のTMR効果を利用した磁気メモリデバイスにおける構成を説明する平面図であり、図33は、図32に対応する従来の磁気メモリデバイスの要部断面構成を示すものである。読出および書込ワード線112、106とビット線105とが互いに直交しており、その直交部分に挟まれるように第1磁性層102、トンネルバリア層103および第2磁性層104からなるTMR素子120が配設されている。このような、書込ビット線105と書込ワード線106とが直交するタイプのMRAMでは、フリー層である第2磁性層104における磁化方向を十分に揃えることができず、十分に安定した書込をおこなうことは困

難であった。

#### 【0010】

また、TMR効果を利用したMRAMでは、直交配置された導線を流れる電流による誘導磁界、すなわち電流磁界によって磁性膜の磁化方向を変えることにより、各々の記憶セルに情報の記憶を行うようになっているが、この電流磁界はオープンな（磁氣的に特定の領域に閉じ込められていない）磁界であるので、低効率であると共に、隣接した記憶セルへの悪影響も懸念される。

#### 【0011】

さらに、メモリセルをより高集積化して磁気メモリデバイスのさらなる高密度化を図る場合、TMR素子の微小化が必須となるが、次のような問題が懸念される。すなわち、TMR素子における各磁性層のアスペクト比（厚み／積層面内方向の幅）が大きくなることにより反磁界が増大し、フリー層の磁化方向を変えるための磁界強度が増大してしまい、大きな書込電流を必要とすると考えられる。

#### 【0012】

本発明はかかる問題点に鑑みてなされたもので、本発明の第1の目的は、より強力な磁界を効率よく利用し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気抵抗効果素子を提供することにある。第2の目的は、隣接した記憶セルに悪影響を及ぼすことが少ない磁気メモリデバイスおよびそれに搭載される磁気抵抗効果素子を提供することにある。さらに、第3の目的は、そのような磁気メモリデバイスを容易に製造するための方法を提供することにある。

#### 【0013】

##### 【課題を解決するための手段】

本発明の磁気抵抗効果素子は、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に、積層面に沿った方向を軸方向とするように配設されると共に、複数の導線によって貫かれるように構成された環状磁性層とを備えるようにしたものである。本発明における「環状」とは、磁氣的かつ電氣的に連続であると共に、閉じている状態を示す。したがって、環状磁性層は、電流が流れないような絶縁体は含まないものの、製造工程において発生する程度の酸化膜は含んでも

よい。

#### 【0014】

本発明の磁気抵抗効果素子では、上記構成により、複数の導線に電流を流すことによって閉じた磁路を形成することができ、感磁層の磁化反転を効率的に行うことができる。

#### 【0015】

本発明の磁気メモリデバイスは、複数の第1の書込線と、これら複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体をそれぞれ含む複数の磁気抵抗効果素子とを備え、この磁気抵抗効果素子は、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第1の書込線および第2の書込線によって貫かれるように構成された環状磁性層、を含むようにしたものである。

#### 【0016】

本発明の磁気メモリデバイスでは、上記した構成により、第1および第2の書込線の双方に電流を流すことによって閉じた磁路を形成することができ、磁気抵抗効果素子の感磁層における磁化反転を効率的に行うことができる。

#### 【0017】

本発明の磁気メモリデバイスの製造方法は、複数の第1の書込線と、これら複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線とを含む書込線群と、外部磁界によって磁化方向が変化する感磁層を含む積層体を有する磁気抵抗効果素子とを備えた磁気メモリデバイスを製造するための方法であり、第1の絶縁層の上に第1の書込線を形成する工程と、第1の書込線の一部とその周囲とを覆うように第2の絶縁層を形成する工程と、この第2の絶縁層の上に第2の書込線を形成する工程と、この第2の書込線をマスクとして第2の絶縁層および第1の書込線を選択的にエッチングして除去することにより、第1および第2の書込線が絶縁層を挟んで互いに平行に延在する積層構造を自己整合的に形成する工程とを含むようにしたものである。ここで、積層構造において第1の書込線と第2の書込線とによって挟まれた絶縁層は、第2の絶縁層に対応する。さら

に、本発明における平行とは、製造上の誤差範囲 $\pm 10^\circ$ を含むものである。

#### 【0018】

本発明の磁気メモリデバイスの製造方法では、平行に延在する積層構造を自己整合的に形成する工程を含むようにしたので、アライメント精度の高い加工が可能となり、さらに、製造工程全体として簡略化を図ることができる。また、積層体が、環状磁性層と電氣的に接続されていることが望ましい。

#### 【0019】

本発明の磁気抵抗効果素子では、複数の導線が、環状磁性層を貫く領域において互いに平行に延びるように構成されることが望ましい。こうすることにより、複数の導線に電流を流すことによって生じる合成磁界を、複数の書込線が互いに交差する場合よりも大きくすることができ、感磁層における磁化反転をより効率的に行うことができる。

#### 【0020】

本発明の磁気抵抗効果素子では、環状磁性層の一部が感磁層を兼ねるように構成してもよい。あるいは、感磁層が、環状磁性層とは別体に設けられ、感磁層と環状磁性層とが磁氣的に交換結合するようにしてもよい。さらに、感磁層と環状磁性層との間に、感磁層と環状磁性層とを反強磁性結合させるための非磁性導電層を配設するようにしてもよい。

#### 【0021】

さらに、本発明の磁気抵抗効果素子では、積層体が、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の第1の磁性層と反対側に積層され外部磁界によって磁化方向が変化する感磁層として機能する第2の磁性層とを含み、積層体の積層面に垂直な方向に流れる電流に基づいて情報が検出されるようにしてもよい。この場合、非磁性層が、トンネル効果を生じさせ得る絶縁層からなるようにしてもよい。

#### 【0022】

また、本発明の磁気抵抗効果素子では、感磁層が環状磁性層よりも大きな保磁力を有することが望ましい。これにより、感磁層の磁化方向がより安定化する。また、第1の磁性層の非磁性層とは反対側に、第1の磁性層と交換結合した反強



磁性の第3の磁性層が配設されるようにしてもよい。また、第1の磁性層と非磁性層との間に、第1の磁性層と交換結合した第4の磁性層が配設されるようにしてもよい。この場合、第1の磁性層と第4の磁性層との間に、第1の磁性層と第4の磁性層とを反強磁性結合させるための第2の非磁性導電層が配設されるようにしてもよい。

#### 【0023】

本発明の磁気メモリデバイスでは、第1の書込線と第2の書込線とが、環状磁性層を貫く領域において互いに平行に延びているように構成されることが望ましい。こうすることにより、第1および第2の導線に電流を流すことによって生じる合成磁界を、第1および第2の書込線が互いに交差する場合よりも大きくすることができ、磁気抵抗効果素子の感磁層における磁化反転をより効率的に行うことができる。

#### 【0024】

本発明の磁気メモリデバイスでは、環状磁性層の一部が感磁層を兼ねるように構成してもよい。あるいは、感磁層が環状磁性層とは別体に設けられ、感磁層と環状磁性層とが磁氣的に交換結合するようにしてもよい。さらに、感磁層と環状磁性層との間に、感磁層と環状磁性層とを反強磁性結合させるための非磁性導電層を配設するようにしてもよい。

#### 【0025】

本発明の磁気メモリデバイスでは、積層体が、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の第1の磁性層と反対側に積層されて感磁層として機能する第2の磁性層とを含み、積層体の積層面に垂直な方向に流れる電流に基づいて第2の磁性層の磁化方向が検出されるようにしてもよい。この場合、第2の磁性層が環状磁性層よりも大きな保磁力を有することが望ましい。これにより、第2の磁性層の磁化方向がより安定化するからである。さらに、この場合、第1の磁性層が第2の磁性層よりも大きな保磁力を有することが望ましい。これは、第1の磁性層における磁化方向が一定方向に維持されるからである。

#### 【0026】

本発明の磁気メモリデバイスでは、上記の場合、さらに第 1 の磁性層の非磁性層とは反対側に、第 1 の磁性層と交換結合した反強磁性の第 3 の磁性層が配設されるようにすると共に、第 1 の磁性層と非磁性層との間に、第 1 の磁性層と交換結合した第 4 の磁性層が配設されるようにしてもよい。さらに、第 1 の磁性層と第 4 の磁性層との間に、第 1 の磁性層と第 4 の磁性層とを反強磁性結合させるための非磁性層導電層が配設されるようにしてもよい。

#### 【 0 0 2 7 】

また、本発明の磁気メモリデバイスでは、非磁性層が、トンネル効果を生じさせ得る絶縁層からなるように構成してもよい。

#### 【 0 0 2 8 】

さらにまた、本発明の磁気メモリデバイスでは、第 1 および第 2 の書込線における互いに平行に延びている平行部分が、第 1 および第 2 の書込線の少なくとも一方を屈曲させることにより形成されていてもよい。その場合、第 1 および第 2 の書込線のうちの一方が矩形波状に延在すると共に、他方が直線状に延在し、矩形波状の立ち上がり部分および立ち下がり部分が平行部分に対応するようにすることができる。この場合、屈曲した第 1 または第 2 の書込線が、導電材料からなる層間接続層を介して互いに接続された 2 つの階層部分を含んで構成されていてもよい。

#### 【 0 0 2 9 】

さらに、本発明の磁気メモリデバイスでは、各磁気抵抗効果素子における積層体の積層面に垂直な方向に読出電流を流すための複数の読出線を備え、積層体に通れる電流に基づいて感磁層の磁化方向が検出されて情報が読み出されるようにしてもよい。

#### 【 0 0 3 0 】

本発明の磁気メモリデバイスの製造方法では、第 1 の書込線を形成する工程が、第 1 の書込線のうち、第 2 の書込線と非平行な部分を形成する工程と、第 1 の書込線のうちの第 2 の書込線と非平行な部分およびその周囲を覆うように第 3 の絶縁層を形成する工程と、第 3 の絶縁層に、第 1 の書込線のうち第 2 の書込線と非平行な部分の端部に接続するビアホールを形成したのち、このビアホールに導

電材料を埋め込むことにより、層間導通層を形成する工程と、第3の絶縁層の上に、第1の書込線のうちの、その端部が層間導通層の上部に接続されるように形成する工程とを含み、第1の書込線のうち第2の書込線と非平行な部分と平行部分との間を層間導通層によって接続することにより、第1の書込線を、膜面方向のみならず積層方向においても屈曲させて形成するようにしてもよい。

#### 【0031】

本発明の磁気メモリデバイスの製造方法では、さらに、磁気メモリデバイスが、第1の書込線と第2の書込線とが平行な部分の少なくとも一部を環状に取り囲む環状磁性層をさらに備える場合において、第3の絶縁層の上方の、第1および第2の書込線における互いに平行な部分の少なくとも一部に対応する領域に、第1の環状磁性層部分を選択的に形成する工程と、第1および第2の書込線の平行な部分における積層構造を形成したのち、この積層構造の側面および上面を覆うように第4の絶縁層を形成する工程と、第4の絶縁層の側面および上面を選択的に覆うと共に第1の環状磁性層部分に連結するように第2の環状磁性層部分を形成することにより、第1および第2の環状磁性層部分からなる環状磁性層を形成する工程とを含むようにしてもよい。

#### 【0032】

##### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【0033】

##### [第1の実施の形態]

まず、図1ないし図7を参照して第1の実施の形態に係る磁気メモリデバイスの構成について説明する。

#### 【0034】

図1は、本実施の形態における磁気メモリデバイスの全体構成を表すものである。磁気メモリデバイスは、アドレスバッファ51と、データバッファ52と、制御ロジック53と、記憶セル群54と、第1の駆動制御回路部56と、第2の駆動制御回路部58と、外部アドレス入力端子A0～A20と、外部データ端子D0～D7とを備えている。

## 【0035】

記憶セル群 54 は、トンネル磁気抵抗効果素子（以下、TMR 素子という。）を備えた記憶セル 1 が、互いに直交するワード線方向（X 方向）およびビット線方向（Y 方向）に多数、配列されたマトリックス構造を有している。記憶セル 1 は、磁気メモリデバイスにおいてデータを記憶する最小単位であるが、これについては後に詳述する。

## 【0036】

アドレスバッファ 51 は、外部からのアドレス信号を外部アドレス入力端子 A0～A20 から取り込み、内部に備えたバッファ増幅器により第 1 および第 2 の駆動制御回路部 56, 58 内のアドレスデコード回路 56A, 58B において必要となる電圧レベルまで増幅するものである。さらに、アドレスバッファ 51 は、その増幅したアドレス信号を 2 つに分け、X 方向アドレス線 55 を介して第 1 の駆動制御回路部 56 に出力すると共に、Y 方向アドレス線 57 を介して第 2 の駆動制御回路部 58 に出力するように機能する。

## 【0037】

データバッファ 52 は、記憶セル群 54 に記憶された情報信号を読み出す際に記録された情報信号を内部に備えたバッファ増幅器によって増幅したのち、外部データ端子 D0～D7 に低インピーダンスで出力するものである。さらに、記憶セル群 54 への書込動作を行う際には、外部データ端子 D0～D7 の信号電圧を取り込んで、内部バッファ増幅器によって第 1 および第 2 の駆動制御回路部 56, 58 内のカレントドライブ回路 56C, 58C において必要となる電圧レベルまで増幅したのち、X 方向書込用データバス 60 および Y 方向書込用データバス 61 を介してカレントドライブ回路 56C, 58C に伝達するように機能する。

## 【0038】

制御ロジック部 53 は、複数の記憶セル群 54 のなかから読出および書込対象とするものを選択するチップセレクト端子 CS からの信号電圧と、書込許可信号を出力するように機能するライトイネーブル端子 WE からの信号電圧とを取り込み、データバッファ 52 に向けて出力制御信号 53A を出力するように機能する。

**【 0 0 3 9 】**

第 1 の駆動制御回路部 5 6 は、Y 方向におけるアドレスデコーダ回路 5 6 A、センスアンプ回路 5 6 B およびカレントドライブ回路 5 6 C を有し、第 2 の駆動制御回路部 5 8 は、X 方向におけるアドレスデコーダ回路 5 8 A、定電流回路 5 8 B およびカレントドライブ回路 5 8 C を有するものである。

**【 0 0 4 0 】**

アドレスデコーダ回路 5 6 A、5 8 A は、入力されたアドレス信号に応じた後出のワードデコード線 7 1 X およびビットデコード線 7 1 Y を選択するものである。センスアンプ回路 5 6 B および定電流回路 5 8 B は読出動作を行う際に駆動する回路であり、カレントドライブ回路 5 6 C、5 8 C は書込動作を行う際に駆動する回路である。

**【 0 0 4 1 】**

センスアンプ回路 5 6 B と記憶セル群 5 4 とは、読出動作の際にセンス電流が流れる複数のビットデコード線 7 1 Y によって接続されている。同様に、定電流回路 5 8 B と、記憶セル群 5 4 とは、読出動作の際にセンス電流が流れる後出の複数のワードデコード線 7 1 X によって接続されている。

**【 0 0 4 2 】**

カレントドライブ回路 5 6 C と記憶セル群 5 4 とは、書込動作の際に必要となる後出の書込ビット線 5 を介して接続されている。同様に、カレントドライブ回路 5 8 C と記憶セル群 5 4 とは、書込動作の際に必要となる後出の書込ワード線 6 を介して接続されている。

**【 0 0 4 3 】**

Y 方向読出用データバス 6 2 は、Y 方向のセンスアンプ回路 5 6 B からの出力をデータバッファ 5 2 の出力バッファ 5 2 B に伝達するように機能するものである。

**【 0 0 4 4 】**

図 2 は、記憶セル群 5 4 における複数の書込ビット線 5、書込ワード線 6 および記憶セル 1 の位置関係を概念的に表したものである。図 2 に示したように、一方の書込ワード線 6 が矩形波状に延在すると共に、他方の書込ビット線 5 が直線

状に延在している。書込ワード線 6 における矩形波状の立ち上がり部分および立ち下がり部分は、書込ビット線 5 と共に複数の平行部分 10 を形成している。記憶セル 1 は、それぞれの平行部分 10 の少なくとも一部を囲むように、書込ビット線 5 と書込ワード線 6 との交差する領域に設けられている。ここで、交差する領域に記憶セル 1 が設けられているということは、交差点の隣に記憶セル 1 が設けられている場合も含んでいる。書込ビット線 5 および書込ワード線 6 には、それぞれカレントドライブ回路 56C, 58C からの電流が流れるようになっている。これら書込ビット線 5 および書込ワード線 6 を用いた記憶セル 1 に対する書込動作については後述する。

#### 【0045】

次に、図 3 を参照して、本実施の形態の磁気メモリデバイスにおける読出動作に係わる回路構成について説明する。

#### 【0046】

図 3 は、読出動作に係わる部分の要部回路構成を示すものである。記憶セル群 54 では、X 方向に延び、Y 方向に等間隔に並んだ複数の読出ワード線 12 と、Y 方向に延び、X 方向に等間隔に並んだ複数の読出ビット線 13 とが直交して格子状に配置されている。読出ワード線 12 と読出ビット線 13 とが直交したそれぞれの領域に、複数の記憶セル 1 が等間隔で配置されている。各々の記憶セル 1 は、その一端が読出ワード線 12 にそれぞれ接続されると共に他端が読出ビット線 13 にそれぞれ接続されている。

#### 【0047】

各々の記憶セル 1 には、TMR 素子 20 が形成されている。TMR 素子 20 は、内部の 2 つの強磁性層における磁化方向によって、高抵抗状態または低抵抗状態のいずれかの状態が選択されるようになっている。記憶セル 1 の詳細については、後述する。

#### 【0048】

読出ワード線 12 の一端は、それぞれワード線選択スイッチ 74 が接続されている。このワード線選択スイッチ 74 は、ワードデコード線 71X と接続されるとともに、電流制限抵抗 76 とも接続されており、いずれかを選択するようにな

っている。電流制限抵抗 76 は、読出電流の大きさを調整する機能を有しており、ワード線選択スイッチ 74 とは反対側の端部は、接地されている。読出ビット線 13 の一端は、それぞれビット線選択スイッチ 73 に接続され、他端はそれぞれ接地されている。ビット線選択スイッチ 73 は、ビットデコード線 71 Y と接続されるとともに、電流電圧変換抵抗 72 ととも接続されており、いずれかを選択するようになっている。この電流電圧変換抵抗 72 は、読出電流を電圧変化として取り出すように機能する。

#### 【0049】

このような回路構成を有する磁気メモリデバイスでは、各 TMR 素子 20 における第 1 磁性層 2 と環状磁性層 4 の一部として構成された感磁層とトンネルバリア層 3 とを含む積層体の積層面に垂直な方向に読出電流を流し、この読出電流に基づいて環状磁性層 4 の磁化方向が検出されて情報が読み出される。この環状磁性層 4 は、後出の図 7 に示すように環状磁性層 4 単体に注目した場合の開孔方向、すなわち環状磁性層 4 の軸方向が、積層体である TMR 素子 20 の積層面に沿った方向となるように構成されている。このような環状磁性層 4 の構成は、後述する他の実施の形態、変形例および実施例においても同様である。具体的な読出動作については後述する。

#### 【0050】

続いて、図 4 ないし図 7 (A) を参照して磁気メモリデバイスの詳細な構成について説明する。

#### 【0051】

図 4 および図 5 は、記憶セル群 54 の要部平面構成を表すものである。図 4 に示した書込ビット線 5、書込ワード線 6 および記憶セル 1 は、図 2 と対応するものである。図 6 は、記憶セル 1 の拡大斜視図である。図 7 (A) は、図 4 に示した記憶セル 1 の A-A 線に沿った切断面の構成を示す断面図である。

#### 【0052】

図 4 に示したように、本実施の形態の磁気メモリデバイスは、複数の書込ビット線 5 と、この複数の書込ビット線 5 とそれぞれ交差するように延びる複数の書込ワード線 6 とを含んでいる。磁気メモリデバイスは、書込ビット線 5 および書

込ワード線 6 の交差する領域に、これら書込ビット線 5 および書込ワード線 6 が互いに平行に延在する平行部分 10 を有するように構成されている。さらに、TMR 素子 20 が平行部分 10 に配置され、これらの平行部分 10 における書込ビット線 5 および書込ワード線 6 の双方を流れる電流により生ずる磁界（すなわち、環状磁性層 4 においては外部磁界）によって TMR 素子 20 の一部をなす環状磁性層 4 の磁化方向が変化して情報が記憶されるようになっている。

#### 【0053】

具体的には、図 4 に示したように、Y 方向に延びる直線状の複数の書込ビット線 5 が X 方向に等間隔に並んでおり、この複数の書込ビット線 5 とそれぞれ交差するように、XY 平面内において矩形波状に延在した書込ワード線 6 が形成されている。書込ワード線 6 の、矩形波状の立ち上がり部分および立ち下がり部分が、書込ビット線と平行部分 10 を形成している。平行部分 10 では、書込ビット線 5 と書込ワード線 6 とは XY 平面においてほぼ一致した位置に形成されているが、書込ビット線 5 と書込ワード線 6 とは Z 軸方向に一定の間隔を有するように構成されている。なお、図 4 においては、書込ワード線 6 の形状を見易くするため、一部の書込ビット線 5 を省略して図示している。

#### 【0054】

さらに、図 6 に示したように、書込ワード線 6 は、Z 方向において異なる面に形成された 2 つの階層部分、すなわち、上部書込ワード線 6 U と下部書込ビット線 6 B とを有し、それぞれが、例えばアルミニウム (Al) などの導電材料からなる層間接続層 17 を介して互いに接続されている。この層間接続層 17 が、本発明における「層間導通層」の一具体例である。なお、図 6 では、読出ワード線 13 の図示は省略している。

#### 【0055】

複数の書込ビット線 5 の両端には、それぞれ書込ビット線引出電極 42 が設けられている。書込ビット線引出電極 42 は、それぞれ一方がカレントドライブ回路 56 C に接続され、他方が最終的に接地されるように接続されている。同様に、複数の書込ワード線 6 の両端には、それぞれ書込ワード線引出電極 41 が設けられている。書込ワード線引出電極 41 は、それぞれ一方がカレントドライブ回



路 58C に接続され、他方が最終的に接地されるように接続されている。

#### 【0056】

図 4 に示したように配置された記憶セル 1 は、図 5 に示したように、XY 平面における複数の読出ワード線 12 と複数の読出ビット線 13 との各交差点に配設されている。ここで、記憶セル 1 の上面 (TMR 素子 20 側) が読出ビット線 13 と接し、下面 (TMR 素子 20 とは反対側) が読出ワード線 12 と接している。

#### 【0057】

図 7 (A) は、図 4 および図 6 に示した記憶セル 1 の、A-A 切断線における断面構成を表すものである。

#### 【0058】

図 7 (A) に示したように、記憶セル 1 は、TMR 素子 20 と書込ビット線 5 と書込ワード線 6 と絶縁膜 7 とを有し、読出ワード線 12 と読出ビット線 13 との間に挟まれるように形成されている。TMR 素子 20 は、環状に形成され、複数の導線によって貫かれるように構成された環状磁性層 4 と、この環状磁性層 4 の一部として構成された感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体とを備えている。具体的には、TMR 素子 20 は、積層体が、トンネルバリア層 3 と、このトンネルバリア層 3 の一方側に積層され磁化方向の固定された第 1 磁性層 2 と、トンネルバリア層 3 の第 1 磁性層 2 と反対側に積層され外部磁界によって磁化方向が変化する感磁層として機能する環状磁性層 4 の一部とを含み、この積層体の積層面に垂直な方向に流れる電流に基づいて感磁層としての環状磁性層 4 の磁化方向が検出される。

#### 【0059】

TMR 素子 20 は、第 1 磁性層 2 と環状磁性層 (感磁層) 4 との間に、積層面に垂直方向に電圧を印加すると、例えば第 1 磁性層 2 の電子がトンネルバリア層 3 を突き抜けて環状磁性層 (感磁層) 4 に移動してトンネル電流が流れるようになっている。このトンネル電流は、トンネルバリア層 3 との界面部分における第 1 磁性層 2 のスピンと環状磁性層 (感磁層) 4 のスピンの相対的な角度によって変化する。すなわち、第 1 磁性層 2 のスピンと環状磁性層 (感磁層) 4 のスピ

ンとが互いに平行な場合に抵抗値が最小となり、反平行のときに抵抗値が最大となる。これらの抵抗値を用いて、磁気抵抗変化率（MR比）が、式（1）のように定義される。

【0060】

$$(\text{MR比}) = dR / R \quad \cdots \cdots (1)$$

【0061】

ここで、「dR」が、スピンの互いに平行である場合と反平行である場合との抵抗値の差であり、「R」が、スピンの互いに反平行である場合における抵抗値である。

【0062】

トンネル電流に対する抵抗値（以下、トンネル抵抗 $R_t$ という。）は、トンネルバリア層3の膜厚 $T$ に強く依存する。トンネル抵抗 $R_t$ は、低電圧領域では、式（2）に示したように、トンネルバリア層3の膜厚 $T$ に対して指数関数的に増加する。

【0063】

$$R_t \propto \exp(2\chi T), \quad \chi = \{8\pi^2 m^* (\phi \cdot E_f)^{0.5}\} / h \quad \cdots \cdots (2)$$

【0064】

ここで、「 $\phi$ 」はバリア高さ、「 $m^*$ 」は電子の有効質量、「 $E_f$ 」はフェルミエネルギー、 $h$ はプランク定数を表す。一般的に、TMR素子を用いたメモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗 $R_t$ は、数 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速度化を図るためには、トンネル抵抗 $R_t$ は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。したがって、上記のトンネル抵抗 $R_t$ を実現するために、トンネルバリア層3の厚み $T$ を $2\text{ nm}$ 以下、さらに好ましくは $1.5\text{ nm}$ 以下とすることが望ましい。

【0065】

トンネルバリア層3の厚み $T$ を薄くすることにより、トンネル抵抗 $R_t$ を低減

することができる一方で、第1磁性層2および環状磁性層（感磁層）4との接合界面の凹凸に起因するリーク電流が生じるのでMR比が低下してしまう。これを防止するため、トンネルバリア層3の厚みTは、リーク電流が流れない程度の厚みを有する必要がある、具体的には0.3 nm以上の厚みであることが望ましい。

#### 【0066】

図7（A）に示したTMR素子20は、保磁力差型構造を有し、第1磁性層2の保磁力のほうが、環状磁性層（感磁層）4の保磁力よりも大きくなるように構成されていることが望ましい。具体的には、第1磁性層2の保磁力は、 $(50/4\pi) \times 10^3 \text{ A/m}$ よりも大きいことが望ましく、特に $(100/4\pi) \times 10^3 \text{ A/m}$ 以上であることが望ましい。こうすることにより、第1磁性層2における磁化方向が外部擾乱磁界等の不要な磁界の影響を受けるのを防止することができる。第1磁性層2は、例えば、5 nmの厚みのコバルト鉄合金（CoFe）からなる。他に、単体のコバルト（Co）や、コバルト白金合金（CoPt）、ニッケル鉄コバルト合金（NiFeCo）等を第1磁性層2に適用することが可能である。また、第1磁性層2および環状磁性層（感磁層）4の磁化容易軸は、第1磁性層2と環状磁性層（感磁層）4との磁化方向が互いに平行または反平行となる状態で安定化するようにするため、平行であることが望ましい。

#### 【0067】

環状磁性層（感磁層）4は、書込ビット線5および書込ワード線6における平行部分10、すなわち、環状磁性層（感磁層）4を貫く領域の少なくとも一部を環状に取り囲むように延在しており、この平行部分10を流れる電流によって環状磁性層4内部に還流磁界が生ずるように構成されている。この環状磁性層4は、情報を記憶する記憶層であり、上記還流磁界によって環状磁性層4の磁化方向が反転され、情報の記憶がなされる。環状磁性層4は、例えば、ニッケル鉄合金（NiFe）からなり、TMR素子20の一部をなす感磁層としての部分における断面方向の厚みが20 nmである。さらに環状磁性層4の保磁力は、 $(50/4\pi) \times 10^3 \text{ A/m}$ 以上 $(100/4\pi) \times 10^3 \text{ A/m}$ 以下の範囲であり、第1磁性層2の保磁力よりも小さくなるように構成されていることが望ましい。

( $50/4\pi$ )  $\times 10^3$  A/m未満の保磁力では、環状磁性層4における磁化方向が外部憂乱磁界等の不要な磁界により乱されることがあるからである。一方、( $100/4\pi$ )  $\times 10^3$  A/mを越えるような保磁力では、書込電流の増大に起因する発熱により、TMR素子20自体の劣化が生じてしまう可能性があるからである。また、書込ビット線5および書込ワード線6による電流磁界を環状磁性層4に集中させるために、環状磁性層4の透磁率はより大きい方が好ましい。具体的には、2000以上であり、より好ましくは6000以上である。

#### 【0068】

書込ビット線5および書込ワード線6は、いずれも、10nm厚のチタン (Ti) と、10nm厚の窒化チタン (TiN) と500nm厚のアルミニウム (Al) とが順に積層された構造を有し、絶縁膜7によって、互いに電氣的に絶縁されている。書込ビット線5および書込ワード線6は、例えば、アルミニウム (Al)、銅 (Cu) およびタングステン (W) のうちの少なくとも1種からなるようにしてもよい。

#### 【0069】


次に、本実施の形態の磁気メモリデバイスにおける動作について説明する。

#### 【0070】

まず、図2および図7 (B), (C) を参照して、記憶セル1における書込動作について説明する。図7 (B), (C) は、図4および図6に示した記憶セル1の、A-A切断線における断面であって、電流方向と磁化方向との関係を表すものである。

#### 【0071】

図7 (B), (C) は、記憶セル1を通過する互いに平行な書込ビット線5および書込ワード線6に、互いに同一な方向に書込電流が流れる場合を示し、図2における記憶セル1Aの状態に対応する。図7 (B) は、紙面に垂直な方向に手前から奥へ向かって (Y方向へ) 書込電流が流れる場合を示し、環状磁性層4の内部を時計回り方向に還流磁界が発生している。一方、図7 (C) は、紙面に垂直な方向に奥から手前へ向かって (-Y方向へ) 書込電流が流れる場合を示し、環状磁性層 (感磁層) 4の内部を反時計回り方向に還流磁界が発生している。こ



のように書込ビット線 5 および書込ワード線 6 に、同一方向に電流が流れると、環状磁性層 4 の磁化方向は反転し、0 または 1 を記録する。例えば、図 7 (B) の状態を 0 とした場合、図 7 (C) の状態を 1 として識別する。ここで、図 2 に示した記憶セル 1 B の状態のように互いに逆方向に書込電流が流れた場合、あるいは、どちらか一方のみに書込電流が流れた場合には環状磁性層 4 の磁化方向は反転せず、データの書き換えは行われなくなっている。

### 【0072】

次に、図 1 および図 3 を参照して、磁気メモリデバイスにおける読出動作について説明する。まず、第 1 の駆動制御回路部 5 6 におけるアドレスデコード回路 5 6 A により、複数のビットデコード線 7 1 Y のうちの 1 つが選択され、対応する箇所のビット線選択スイッチ 7 3 が駆動される。選択されたビット線選択スイッチ 7 3 は通電状態となり、読出ビット線 1 3 に読出電流が流れ、記憶セル 1 の TMR 素子 2 0 の側に正の電位が与えられる。同様に第 2 の駆動制御回路部 5 8 におけるアドレスデコード回路 5 8 A により、複数のワードデコード線 7 1 X のうちの 1 つが選択され、対応する箇所のワード線選択スイッチ 7 4 が駆動される。選択されたワード線選択スイッチ 7 4 は通電状態となり、読出ワード線 1 2 に読出電流が流れ、記憶セル 1 の TMR 素子 2 0 とは反対側に負の電位が与えられる。したがって、アドレスデコード回路 5 6 A およびアドレスデコード回路 5 8 A によって選択された 1 つの記憶セル 1 に対し、読出に必要な読出電流を流すことができる。この読出電流に基づいて、環状磁性層（感磁層）4 の磁化方向を検出し、記憶された情報を読み出すことができる。

### 【0073】

本実施の形態の磁気メモリデバイスでは、上記の構成により、環状に形成され、書込ビット線 5 および書込ワード線 6 によって貫かれるように構成された環状磁性層（感磁層）4 を含み、積層面に垂直な方向に電流が流れるように構成された積層体とを備えるようにしたので、書込ビット線 5 および書込ワード線 6 の双方に電流を流すことによって閉じた磁路を形成することができ、TMR 素子 2 0 の環状磁性層（感磁層）4 における磁化反転を効率的に行うことができると共に、書込対象とする記憶セルに隣接した記憶セルに対して、磁気的な影響を低減す

ることができる。さらに、書込ビット線 5 と書込ワード線 6 とが、環状磁性層（感磁層）4 を貫く領域において互いに平行に延びるように構成したので、書込ビット線 5 および書込ワード線 6 に電流を流すことによって環状磁性層（感磁層）4 に生じる合成磁界を、これらの書込線が互いに交差する場合よりも大きくすることができ、環状磁性層（感磁層）4 における磁化反転をより効率的に行うことができる。

#### 【0074】

次に、上記のような構成を有する本実施の形態の磁気メモリデバイスの製造方法について説明する。

#### 【0075】

本実施の形態の磁気メモリデバイスの製造方法は、絶縁膜 7 B の上に上部書込ワード線 6 U を形成する工程と、この上部書込ワード線 6 U のうちの平行部分 10 に対応する領域とその周囲とを覆うように絶縁膜 7 C を形成したのち、その表面を平坦化する工程と、平坦化された絶縁膜 7 C の上に書込ビット線 5 を形成する工程と、この書込ビット線 5 をマスクとして絶縁膜 7 C を選択的にエッチングして除去することにより、書込ビット線 5 および上部書込ワード線 6 U の平行部分 10 における積層構造 19 を自己整合的に形成する工程とを含むものである。以下、具体的に説明する。

#### 【0076】

図 8 ないし図 23 を参照して、磁気メモリデバイスのうちの、主に、記憶セル 1 の形成方法について、詳細に説明する。なお、図 8 (A) ないし図 23 (A) は、図 4 に示した A-A 切断線に沿った断面構成を表し、図 8 (B) ないし図 23 (B) は、図 4 に示した B-B 切断線に沿った断面構成を表す。

#### 【0077】

まず、図 8 に示したように、シリコン (Si) からなる基板 11 を用意し、この基板 11 の上に、チタン (Ti)、窒化チタン (TiN) およびアルミニウム (Al) を順に、スパッタ装置等を用いて積層し、多層膜 16 B を形成する。次に、所定のレジストを全面に亘って塗布したのち、i 線リダクションステッパー等を使用し、所定形状のレジストパターン 31 を形成する。このレジストパター

ン 31 をマスクとし、例えば、反応性ガスとして三塩化ホウ素 ( $\text{BCl}_3$ ) ガスを用いて選択的に反応性イオンエッチング (RIE; Reactive Ion Etching) を行う。これにより、図 9 に示したように、所定形状の下部書込ワード線 6B が形成される。この場合、X 方向に沿った幅が、例えば 700 nm となるように形成する。

#### 【0078】

次に、図 10 に示したように、例えば TEOS (正珪酸四エチル;  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) を用いて、CVD (Chemical Vapor Deposition) 装置により全体を覆うように、例えば、酸化シリコン ( $\text{SiO}_2$ ) からなる絶縁膜 7A を形成する。こののち、例えば CMP (Chemical Mechanical Polishing) 装置により、絶縁膜 7A の表面の平坦化をおこなう。

#### 【0079】

こののち、図 11 に示したように、平坦化された絶縁膜 7A の上の、書込ビット線 5 および書込ワード線 6 の平行部分 10 の少なくとも一部に対応する領域に、選択的に読出ワード線 12 と底部環状磁性層 4B とを順に形成する。ここで、底部環状磁性層 4B が、本発明の「第 1 の環状磁性層部分」に対応する一具体例である。具体的には、まず、絶縁膜 7A の上に、スパッタ装置等によってチタン (Ti)、TiN およびアルミニウム (Al) を順に成膜し、のちに読出ワード線 12 となる多層膜 (図示せず) を形成する。こののち、全体を覆うようにレジストを塗布し、i 線ステッパを用いてレジストパターン (図示せず) を形成する。このレジストパターンを利用して、RIE 処理等を行い、上記の多層膜をパターンニングすることにより、読出ワード線 12 を形成する。次いで、i 線ステッパを用いてレジストパターン (図示せず) を形成し、例えば、硫酸鉄 ( $\text{FeSO}_4$ ) および硫酸ニッケル ( $\text{NiSO}_4$ ) のめっき槽に浸漬し、通電することによりニッケル鉄合金 (原子比;  $\text{Ni}:\text{Fe}=80:20$ ) からなるめっき膜 (図示せず) を形成する。こののち、めっき膜 (図示せず) をパターンニングすることにより、底部環状磁性層 4B を形成する。

#### 【0080】

読出ワード線 12 および底部環状磁性層 4B を形成したのち、図 12 (A), (B) に示したように、TEOS を用い、CVD 装置により絶縁膜 7B を全面に亘って形成し、CMP 装置により、絶縁膜 7B の表面の平坦化をおこなう。さらに、上部書込ワード線 6U と下部書込ワード線 6B とを接続するためのビアホール 7H を形成する (図 12 (B) 参照)。この場合、絶縁膜 7B の上にレジスト塗布を行い、例えば i 線ステッパによりレジストパターンを形成したのち、反応性ガスとして  $C_4F_8$  を用いた RIE によりビアホール 7H を形成する。

#### 【0081】

続いて、LTS (Long Throw Sputtering) 装置等を用いて、ビアホール 7H に例えば、アルミニウム (Al) 等の導電材料を埋め込むことにより、図 13 (B) に示したように層間接続層 17 を形成する。この層間接続層 17 は、上部書込ワード線 6U と下部書込ワード線 6B とを電気的に接続するように機能する。層間接続層 17 を形成したのち、やはり LTS 装置を用い、図 13 (A), (B) に示したように全面に亘って、例えばチタン (Ti)、窒化チタン (TiN) およびアルミニウム (Al) からなる金属多層膜 16U を形成する。

#### 【0082】

i 線ステッパーにより、金属多層膜 16U の上に全面に亘ってレジストパターン (図示せず) を形成したのち、これをマスクとして利用し、RIE 処理を行うことにより金属多層膜 16U をパターンニングする。こうすることで、図 14 (A), (B) に示したように、平行部分 10 に対応する領域の上部書込ワード線 6U が形成される。この場合、その端部が層間接続層 17 の上部に接続されるように形成されると共に、後工程にて形成される書込ビット線 5 の X 方向の幅よりも少し広くなるように形成することが重要である。

#### 【0083】

上部書込ワード線 6U を形成したのち、図 15 (A), (B) に示したように TEOS を用い、CVD 装置により絶縁膜 7C を全面に亘って形成し、CMP 装置により、絶縁膜 7C の表面の平坦化をおこなう。平坦化を行った絶縁膜 7C の上に、スパッタ装置等を用いて、チタン (Ti)、TiN およびアルミニウム (



A 1) を順に成膜し、のちに書込ビット線 5 となる多層膜 5 A を形成する。さらに、多層膜 5 A の上にレジストを塗布したのち、i 線ステッパーにより選択的にレジストパターン 3 2 を形成する。

#### 【0084】

このレジストパターン 3 2 をマスクとして利用し、例えば、反応性ガスとして B C l 3 ガスを用いた R I E 処理を行うことにより多層膜 5 A をパターンニングする。こうすることで、書込ビット線 5 を形成する。

#### 【0085】

次に、図 1 7 (A) , (B) に示したように、この書込ビット線 5 をマスクとして、自己整合的に積層構造 1 9 を形成する。具体的には、反応性ガスとして C 4 F 8 を用いた R I E およびイオンミリングにより、書込ビット線 5 によって保護されていない領域の絶縁膜 7 C の全てと、絶縁膜 7 B および上部書込ワード線 6 U における厚み方向の一部とを除去することにより積層構造 1 9 を形成する。ここで、底部環状磁性層 4 B が露出するまで絶縁膜 7 B を除去することが重要である。これにより、下部書込ワード線 6 B と上部書込ワード線 6 U とが層間接続層 1 7 によって接続された書込ワード線 6 が、一応完成する。ここで、書込ワード線 6 のうちの非平行部分と平行部分 1 0 との間を層間接続層 1 7 によって接続することにより、書込ワード線 6 を、膜面方向のみならず積層方向においても屈曲させて形成するようにしてもよい。こうすることにより、記憶セル 1 を、より小さな領域の X Y 平面に形成することが可能になる。

#### 【0086】

このように、書込ビット線 5 をマスクとして、自己整合的に積層構造 1 9 を形成することにより、書込ビット線 5 と同じ幅を有する上部書込ワード線 6 U を高精度に形成することができる。さらに、レジストパターンの形成工程およびその除去工程等を省略することができ、製造工程の簡略化を図ることができる。

#### 【0087】

書込ビット線 5 および書込ワード線 6 の平行部分 1 0 における積層構造 1 9 を形成したのち、図 1 8 (A) , (B) に示したように、この積層構造 1 9 の側面および上面を覆うように、例えば S i O 2 からなる絶縁膜 7 D を形成する。具体

的には、i 線ステッパ等により、A-A 線に沿った切断面において少なくとも積層構造 1 9 を除く領域に選択的にレジストパターン 3 3 を形成したのち、T E O S を用いて C V D 装置等により全面に絶縁膜 7 D を形成する。

#### 【 0 0 8 8 】

次いで、絶縁膜 7 D の側面および上面を選択的に覆うと共に底部環状磁性層 4 B に連結するように上部環状磁性層 4 U を形成することにより、底部環状磁性層 4 B および上部環状磁性層 4 U からなる環状磁性層 4 の形成を完了する。ここで、上部環状磁性層 4 U が本発明の「第 1 の環状磁性層部分」に対応する一具体例であり、さらに、底部環状磁性層 4 B が本発明の「第 2 の環状磁性層部分」に対応する一具体例である。

#### 【 0 0 8 9 】

具体的には、図 1 9 (A) , (B) に示したように、レジストパターン 3 3 をリフトオフにより除去したのち、i 線ステッパ等により、A-A 線に沿った切断面において少なくとも絶縁膜 7 D を除く領域に選択的にレジストパターン 3 4 を形成する。さらに、例えばスパッタリング装置を用い、このレジストパターン 3 4 を利用して底部環状磁性層 4 B と同じ材料 (例えば N i F e) からなる上部環状磁性層 4 U を形成する。

#### 【 0 0 9 0 】

次いで、図 2 0 (A) , (B) に示したように、レジストパターン 3 4 をリフトオフにより除去することにより、上部環状磁性層 4 U が露出する。

#### 【 0 0 9 1 】

続いて、図 2 1 (A) , (B) に示したように、C V D 装置等により絶縁膜 7 E を全面に亘って形成したのち、CMP 装置等による絶縁膜 7 E 表面の研磨をおこない、平坦化を図ると共に、上部環状磁性層 4 U の上面を露出させ、さらに上部環状磁性層 4 U を所定の厚みに加工する。

#### 【 0 0 9 2 】

さらに、図 2 2 (A) , (B) に示したように、上部環状磁性層 4 U の上に、TMR 素子 2 0 の形成をおこなう。具体的には、まず、i 線ステッパ等により、TMR 素子 2 0 を形成する領域以外の領域を覆うように、選択的にレジストパタ

ーンを形成する。次に、全面に亘って、アルミニウム (Al) 層を形成する。このアルミニウム層を酸化処理することでトンネルバリア層 3 を得る。続いて、例えば CoFe 層からなる第 1 磁性層 2 を形成し、保護膜等を形成したのち、レジストパターン 35 を除去することによって TMR 素子 20 の形成が完了する。なお、図 22 (A), (B) では、簡略化のため、TMR 素子 20 を構成する各層については図示を省略する。

#### 【0093】

TMR 素子 20 を形成したのち、TEOS を用い、CVD 装置により絶縁膜 7F を全面に亘って形成したのち、CMP 装置による絶縁膜 7F 表面の研磨をおこない、平坦化を図ると共に、TMR 素子 20 の最上面を露出させる。

#### 【0094】

最後に、図 23 (A), (B) に示したように、読出ビット線 13 を形成する。具体的には、チタン (Ti)、窒化チタン (TiN) およびアルミニウム (Al) を順にマグネトロンスパッタリング装置を用いて積層し、多層膜 13A を形成する。次に、所定形状のレジストパターン (図示せず) を形成し、このレジストパターンをマスクとして例えば RIE を行うことにより未保護部分の多層膜 13A を除去する。これにより、所定形状の読出ビット線 13 が形成される。

#### 【0095】

こののち、書込ワード線 6 の各両端末に書込ワード線引出電極 41 を形成し、書込ビット線 5 の各両端末に書込ビット線引出電極 42 を形成し、読出ワード線 12 の各両端末に読出ワード線引出電極 43 を形成し、さらに読出ビット線 13 の各両端末に読出ビット線引出電極 44 を形成する。

#### 【0096】

以上により、記憶セル 1 を含む記憶セル群 54 の形成が一応完了する。

#### 【0097】

こののち、さらに、スパッタ装置や CVD 装置等により SiO<sub>2</sub> または Al<sub>2</sub>O<sub>3</sub> 等の保護層を形成する工程と、その保護膜を研磨して各引出電極 41 ~ 44 を露出させる工程とを経ることにより、磁気メモリデバイスの製造が完了する。

#### 【0098】

以上のように、本実施の形態によれば、TMR素子20が、環状に形成され、書込ビット線5と書込ワード線6とによって貫かれるように構成されると共に感磁層として機能する環状磁性層4と、積層面に垂直な方向に電流が流れるように構成された積層体とを含むようにしたので、書込ビット線5と書込ワード線6の双方に電流を流すことによって閉じた磁路を形成することができ、TMR素子20の環状磁性層（感磁層）4における磁化の反転をより効率よく行うことができると共に、書込対象とする記憶セル1に隣接した記憶セルに対して、磁気的な影響を低減することができる。

#### 【0099】

さらに、本実施の形態によれば、書込ビット線5および書込ワード線6が、環状磁性層4を貫く領域において互いに平行部分10を形成するようにしたので、書込ビット線5および書込ワード線6に電流を流すことによって環状磁性層（感磁層）4に生じる合成磁界を、これらの書込線が互いに交差する場合よりも大きくすることができ、環状磁性層（感磁層）4における磁化反転をより効率的に行うことができる。その結果、磁化反転に必要とされる書込電流をより小さくすることができる。

#### 【0100】

加えて、本実施の形態によれば、書込ビット線5をマスクとして、自己整合的に積層構造19を形成するようにしたので、高精度な加工ができると共に、レジストパターンの形成工程およびその除去工程等を省略することができ、全体として製造工程の簡略化を図ることができる。

#### 【0101】

##### [第2の実施の形態]

次に、図24（A）～（C）を参照して、本発明の第2の実施の形態の磁気メモリデバイスについて説明する。

#### 【0102】

図24（A）は、本実施の形態の磁気メモリデバイスにおける記憶セル1の断面構成を表すものであり、図7（A）に対応している。図24（A）では、図7（A）に示した構成要素と実質的に同一の部分には同一の符号を付している。

## 【0103】

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成およびその製造方法について、主に、上記第1の実施の形態と異なる点について説明し、他の説明は適宜省略する。

## 【0104】

上記第1の実施の形態の磁気メモリデバイスは、TMR素子20における環状磁性層4の一部が感磁層を兼ねるように構成したものである。これに対し本実施の形態の磁気メモリデバイスは、図24に示したように、感磁層として機能する第2磁性層8が、環状磁性層4とは別体に設けられ、第2磁性層8と環状磁性層4とが磁氣的に交換結合しているTMR素子21を備えるようにしたものである。

## 【0105】

第2磁性層8は、トンネルバリア層3と環状磁性層4との間に設けられ、外部磁界によって磁化方向が変化するようにになっている。第2磁性層8は、例えば、単体のコバルト (Co)、コバルト鉄合金 (CoFe)、コバルト白金合金 (CoPt) あるいはニッケル鉄コバルト合金 (NiFeCo) からなる。

## 【0106】

環状磁性層4とは別体に設けることにより、第2磁性層8における磁化方向をより安定化させることができる。この場合、環状磁性層4の保磁力を、第2磁性層8を設けずに環状磁性層4が感磁層としても機能する場合よりも小さく、例えば、 $(50/4\pi) \times 10^3 \text{ A/m}$ 未満とすることが可能である。

## 【0107】

続いて、図24 (B)、(C)を参照して、本実施の形態の磁気メモリデバイスにおける書込動作について説明する。図24 (B)、(C)は、図4に示した記憶セル1の、A-A切断線における断面であって、電流方向と磁化方向との関係を表すものである。

## 【0108】

図24 (B)、(C)は、記憶セル1を通過する互いに平行な書込ビット線5および書込ワード線6に、互いに同一な方向に書込電流が流れる場合を示す。図

24 (B) は、紙面に垂直な方向に手前から奥へ向かって (Y 方向へ) 書込電流が流れる場合を示し、環状磁性層 4 の内部を時計回り方向に還流磁界が発生している。この場合は、第 2 磁性層 8 における磁化方向が、環状磁性層 4 の磁化方向に沿った方向、すなわち X 方向となる。一方、図 24 (C) は、紙面に垂直な方向に奥から手前へ向かって (-Y 方向へ) 書込電流が流れる場合を示し、環状磁性層 4 の内部を反時計回り方向に還流磁界が発生している。この場合も、第 2 磁性層 8 における磁化方向が環状磁性層 4 の磁化方向に沿った方向となり、-X 方向となる。本実施の形態においては、第 2 磁性層 8 における外部磁界とは、書込ビット線 5 および書込ワード線 6 に流れる書込電流によって生ずる磁界、または、環状磁性層 4 に生じる還流磁界を指す。このように書込ビット線 5 および書込ワード線 6 に、同一方向に電流が流れると、第 2 磁性層 8 の磁化方向は反転し、0 または 1 を記録する。例えば、図 24 (B) の状態を 0 とした場合、図 24 (C) の状態を 1 として識別する。ここで、互いに逆方向に書込電流が流れた場合、あるいは、どちらか一方のみに書込電流が流れた場合には第 2 磁性層 8 の磁化方向は反転せず、データの書き換えは行われなくなっている。

#### 【0109】

本実施の形態における磁気メモリデバイスを製造する際には、上記第 1 の実施の形態において説明した手順により上部環状磁性層 4 U を形成したのち、この上部環状磁性層 4 U の上に、以下の要領で TMR 素子 21 の形成をおこなう。具体的には、まず、i 線ステッパ等により、TMR 素子 21 を形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、全面に亘って、スパッタ装置等により、例えば、コバルト鉄合金 (CoFe) からなる第 2 磁性層 8 と、アルミニウム (Al) 層とを順に形成する。次いで、このアルミニウム層を酸素プラズマ等により酸化処理することで、トンネルバリア層 3 を得る。さらにスパッタ装置等により、例えば CoFe 層からなる第 1 磁性層 2 およびタンタル (Ta) 等からなる保護膜を順に形成したのち、レジストパターン 35 を除去する。こうすることによって、第 1 磁性層 2、トンネルバリア層 3 および第 2 磁性層 8 を有する TMR 素子 21 の形成が完了する。こののち、第 1 の実施の形態と同様の所定の工程を経て磁気メモリデバイスの製造が完了する。

## 【0110】

以上のように、本実施の形態の磁気メモリデバイスによれば、上記第1の実施の形態における構成に加え、トンネルバリア層3と環状磁性層4との間に第2磁性層8を設けるようにした。このため、環状磁性層4と第2磁性層8とが交換結合を形成することができる。よって、感磁層としての第2磁性層8における磁化方向がより良好に揃うことにより、より安定した書込が可能となる。さらに、環状磁性層4の保磁力をより小さく抑えることができるので、書込動作時における電流値を低減することにより発熱量を低減でき、磁気メモリデバイスとしての機能を十分に発揮できる。

## 【0111】

## [第3の実施の形態]

次に、図25を参照して、本発明の第3の実施の形態の磁気メモリデバイスについて説明する。

## 【0112】

図25(A)は、本実施の形態の磁気メモリデバイスにおける記憶セルの断面構成を表すものであり、図7(A)および図24(A)に対応している。図25(A)では、図7(A)および図24(A)に示した構成要素と実質的に同一の部分には同一の符号を付している。

## 【0113】

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成およびその製造方法について、主に、上記第1および第2の実施の形態と異なる点について説明し、他の説明は適宜省略する。

## 【0114】

上記第1の実施の形態の磁気メモリデバイスは、TMR素子20における環状磁性層4の一部が感磁層を兼ねるように構成したものである。上記第2の実施の形態の磁気メモリデバイスは、さらに、図24に示したように、感磁層として機能する第2磁性層8が、環状磁性層4とは別体に設けられ、第2磁性層8と環状磁性層4とが磁氣的に交換結合しているTMR素子21を備えるようにしたものである。

## 【0115】

これに対し、本実施の形態の磁気メモリデバイスは、図25（A）に示したように、さらに、第2磁性層8と前記環状磁性層との間に、これら第2磁性層8と環状磁性層4とを反強磁性結合させるための非磁性導電層9を設けるようにしたものである。この非磁性導電層9は、環状磁性層4と第2磁性層8とを反強磁性結合させるように機能するものであり、例えば、ルテニウム（Ru）や銅（Cu）などにより構成される。

## 【0116】

本実施の形態の磁気メモリデバイスでは、環状磁性層4と第2磁性層8とが反強磁性結合することにより、環状磁性層4の保磁力が $(50/4\pi) \times 10^3 \text{ A/m}$ 未満であっても問題が生じなくなり、例えば、鉄（Fe）、NiFe、CoFe、NiFeCoおよびコバルト（Co）等により環状磁性層4を構成することができる。

## 【0117】

第2磁性層8は、記録を保持する部分となり、反強磁性結合による異方性磁界により安定化される。第2磁性層8の保磁力は、 $(100/4\pi) \times 10^3 \text{ A/m}$ 以下の範囲であり、第1磁性層2の保磁力よりも小さくなるように構成されていることが望ましい。

## 【0118】

続いて、図25（B）、（C）を参照して、本実施の形態の磁気メモリデバイスにおける書込動作について説明する。図25（B）、（C）は、図4に示した記憶セル1の、A-A切断線における断面であって、電流方向と磁化方向との関係を表すものである。

## 【0119】

図25（B）、（C）は、記憶セル1を通過する互いに平行な書込ビット線5および書込ワード線6に、互いに同一な方向に書込電流が流れる場合を示す。図25（B）は、紙面に垂直な方向に手前から奥へ向かって（Y方向へ）書込電流が流れる場合を示し、環状磁性層4の内部を時計回り方向に還流磁界が発生している。この場合は、第2磁性層8における磁化方向が、環状磁性層4の磁化方向



とは逆の方向、すなわち $-X$ 方向となる。一方、図25 (C) は、紙面に垂直な方向に奥から手前へ向かって ( $-Y$ 方向へ) 書込電流が流れる場合を示し、環状磁性層4の内部を反時計回り方向に還流磁界が発生している。この場合も、第2磁性層8における磁化方向が環状磁性層4の磁化方向とは逆の方向となり、 $X$ 方向となる。本実施の形態においては、第2磁性層8における外部磁界とは、書込ビット線5および書込ワード線6に流れる書込電流によって生ずる磁界、または、環状磁性層4に生じる還流磁界を指す。このように書込ビット線5および書込ワード線6に、同一方向に電流が流れると、第2磁性層8の磁化方向は反転し、0または1を記録する。例えば、図25 (B) の状態を0とした場合、図25 (C) の状態を1として識別する。ここで、互いに逆方向に書込電流が流れた場合、あるいは、どちらか一方のみに書込電流が流れた場合には第2磁性層8の磁化方向は反転せず、データの書き換えは行われなくなっている。

#### 【0120】

本実施の形態における磁気メモリデバイスを製造する際には、上記第1の実施の形態において説明した手順により上部環状磁性層4Uを形成したのち、この上部環状磁性層4Uの上に、以下の要領で非磁性導電層9を備えたTMR素子22の形成をおこなう。具体的には、まず、i線ステッパ等により、TMR素子22を形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、全面に亘って、例えばスパッタ装置により、ルテニウム (Ru) からなる非磁性導電層9と、コバルト鉄合金 (CoFe) からなる第2磁性層8と、アルミニウム (Al) 層とを順に形成する。次いで、このアルミニウム層を酸素プラズマ等により酸化処理することで、トンネルバリア層3を得る。さらにスパッタ装置等により、例えばCoFe層からなる第1磁性層2およびタンタル (Ta) 等からなる保護膜を順に形成したのち、レジストパターン35を除去する。こうすることによって、第1磁性層2、トンネルバリア層3、第2磁性層8および非磁性導電層9を有するTMR素子22の形成が完了する。こののち、第1の実施の形態と同様の所定の工程を経て磁気メモリデバイスの製造が完了する。

#### 【0121】

このように、本実施の形態における磁気メモリデバイスによれば、上記第2の

実施の形態の構成に加え、さらに、環状磁性層 4 と第 2 磁性層 8 との間に非磁性導電層 9 を設けるようにした。こうすることにより、環状磁性層 4 と第 2 磁性層 8 とが強力な反強磁性結合を形成することができるので、外部擾乱磁界等による不要な磁界によりフリー層としての第 2 磁性層 8 の磁化方向が乱されることなくより安定する。これに加え、上記構成により環状磁性層 4 の保磁力をより小さく抑えることができる。したがって、書込動作時において電流値を小さくすることによって発熱量を低減することが可能なうえ、非磁性導電層 9 により、金属元素等が第 2 磁性層 8 へ拡散して移動するのを遮蔽することができるので、熱的安定性が向上する。これらの結果、より安定した書込が可能となる。

#### 【0122】

##### <変形例>

次に、図 26 を参照して、本実施の形態における変形例について以下に説明する。

#### 【0123】

##### <<第 1 の変形例>>

本実施の形態における TMR 素子 22 は、第 2 磁性層 8 よりも大きな保磁力を有する第 1 磁性層 2 を備えた保磁力差型とよばれる構造である。これに対し、図 26 (A) に示した TMR 素子 22 B は、交換結合により第 1 磁性層 2 の磁化方向を固定する交換バイアス型とよばれる構造を呈している。

#### 【0124】

具体的には、TMR 素子 22 B は、環状磁性層 4 の側から順に非磁性導電層 9 と、第 2 磁性層 8 と、トンネルバリア層 3 と、第 1 磁性層 2 と、第 3 磁性層 15 とを有している。第 3 磁性層 15 は、反強磁性を有しており、第 1 磁性層 2 と交換相互作用により第 1 磁性層 2 の磁化方向を固定するように機能し、例えば、白金マンガン合金 (PtMn)、イリジウムマンガン合金 (IrMn)、鉄マンガン (FeMn)、ニッケルマンガン (NiMn) またはルテニウムマンガン (RuMn) 等の反強磁性材料により構成される。

#### 【0125】

図 26 (A) に示した交換バイアス型の構造を有する TMR 素子 22 B の場合

は、第3磁性層15により第1磁性層2の磁化方向を安定して固定できるので、第1磁性層2の保磁力を  $(50/4\pi) \times 10^3 \text{ A/m}$  未満としてもよい。

#### 【0126】

##### <<第2の変形例>>

図26(B)は、本実施の形態のTMR素子22の構成において、第1磁性層2とトンネルバリア層3との間に、さらに、非磁性導電層35と第4磁性層18とを設けるようにしたTMR素子22Cの構成を示すものである。

#### 【0127】

具体的には、TMR素子22Cは、環状磁性層4の側から順に非磁性導電層9と、第2磁性層8と、トンネルバリア層3と、第4磁性層18と、非磁性導電層35と、第1磁性層2とを有している。第4磁性層18は、非磁性導電層35を介して第1磁性層2と反強磁性結合を形成しており、第1磁性層2と第4磁性層18との磁化方向は互いに反平行となっている。第4磁性層18は、例えば、鉄(Fe)、NiFe、CoFe、NiFeCoまたはコバルト(Co)等により構成される。

#### 【0128】

本変形例では、上記構成により、第1磁性層2と第4磁性層18とにおける静磁界が閉磁路を形成するので外部磁界による影響を受けにくく安定化すると共に、第2磁性層8への磁界の回り込みを抑制することができる。このため、フリー層としての第2磁性層8における磁化方向反転を行う際の手込電流磁界を低減することができる。

#### 【0129】

##### <<第3の変形例>>

図26(C)は、上記第2の変形例のTMR素子22Cの構成に加え、さらに、第3磁性層15を設けるようにした変形例であるTMR素子22Dを示す。具体的には、TMR素子22Dは、環状磁性層4の側から順に非磁性導電層9と、第2磁性層8と、トンネルバリア層3と、第4磁性層18と、非磁性導電層35と、第1磁性層2と、第3磁性層15とを有している。

#### 【0130】

このTMR素子22Dの場合、第3磁性層15により第1磁性層2の磁化方向を安定して固定できるので、第1磁性層2の保磁力を $(50/4\pi) \times 10^3 \text{ A/m}$ 未満とすることができる。

#### 【0131】

##### 【実施例】

さらに、本実施の形態における具体的な実施例について説明する。

#### 【0132】

本実施例では、上記した製造方法に基づき、以下の要領で磁気メモリデバイスを形成した。図8ないし図23を参照して詳細を説明する。

#### 【0133】

まず、図8に示したように、シリコン(Si)からなる基板11を用意し、この基板11の上に、10nm厚のチタン(Ti)、10nm厚の窒化チタン(TiN)および500nm厚のアルミニウム(Al)を順に、マグネトロンスパッタリング装置を用いて積層し、多層膜16Bを形成した。次に、所定のレジストを全面に亘って塗布したのち、i線リダクションステッパーを使用し、所定形状のレジストパターン31を形成した。このレジストパターン31をマスクとし、反応性ガスとして三塩化ホウ素(BCl<sub>3</sub>)ガスを用いて選択的に反応性イオンエッチング(RIE; Reactive Ion Etching)を行った。これにより、図9に示したように、所定形状の下部書込ワード線6Bが形成された。この場合、X方向に沿った幅が、700nmとなるように形成した。

#### 【0134】

次に、図10に示したように、TEOS(正珪酸四エチル; Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)を用いて、CVD(Chemical Vapor Deposition)装置により全体を覆うように、酸化シリコン(SiO<sub>2</sub>)からなる絶縁膜7Aを形成した。こののち、CMP(Chemical Mechanical Polishing)装置により、絶縁膜7Aの表面の平坦化をおこなった。この際、下部書込ワード線6Bの上に形成された絶縁膜7Aの厚みが、500nmとなるように絶縁膜7Aを研磨した。

#### 【0135】

こののち、図 11 に示したように、平坦化された絶縁膜 7A の上の、書込ビット線 5 および書込ワード線 6 の平行部分 10 の少なくとも一部に対応する領域に、選択的に読出ワード線 12 と底部環状磁性層 4B とを順に形成した。具体的には、まず、絶縁膜 7A の上に、マグネトロンスパッタ装置によって厚み 10 nm のチタン (Ti)、厚み 10 nm の TiN および厚み 500 nm のアルミニウム (Al) を順に成膜し、のちに読出ワード線 12 となる多層膜 (図示せず) を形成した。こののち、全体を覆うようにレジストを塗布し、i 線ステッパを用いてレジストパターン (図示せず) を形成した。このレジストパターンを利用して、反応性ガスとして  $\text{BCl}_3$  ガスを用いた RIE 処理を行い、上記の多層膜をパターンニングすることにより、読出ワード線 12 を形成した。次いで、i 線ステッパを用いてレジストパターン (図示せず) を形成し、 $\text{FeSO}_4$  および  $\text{NiSO}_4$  のめっき槽に浸漬し、通電することによりニッケル鉄合金 (原子比;  $\text{Ni}:\text{Fe} = 80:20$ ) からなるめっき膜 (図示せず) を形成した。こののち、このめっき膜をパターンニングすることにより、底部環状磁性層 4B を形成した。パターン形成した読出ワード線 12 および底部環状磁性層 4B のサイズは、 $1100\text{ nm}$  (X 方向)  $\times 350\text{ nm}$  (Y 方向) とした。

#### 【0136】

読出ワード線 12 および底部環状磁性層 4B をパターン形成したのち、図 12 (A), (B) に示したように、TEOS を用い、CVD 装置により絶縁膜 7B を全面に亘って形成し、CMP 装置により、絶縁膜 7B の表面の平坦化をおこなった。この際、底部環状磁性層 4B 上の絶縁膜 7B の厚みは、 $150\text{ nm}$  とした。さらに、上部書込ワード線 6U と下部書込ワード線 6B とを接続するためのビアホール 7H を形成した (図 12 (B) 参照)。この場合、絶縁膜 7B の上にレジスト塗布を行い、i 線ステッパによりレジストパターンを形成したのち、反応性ガスとして  $\text{C}_4\text{F}_8$  を用いた RIE によりビアホール 7H を形成した。

#### 【0137】

続いて、LTS (Long Throw Sputtering) 装置を用いて、ビアホール 7H にアルミニウム (Al) を埋め込むことにより、図 13 (B) に示したように層間接続層 17 を形成した。こののち、やはり LTS 装置を用

い、図13 (A), (B) に示したように全面に亘って、10 nm厚のチタン (Ti)、10 nm厚の窒化チタン (TiN) および500 nm厚のアルミニウム (Al) からなる金属多層膜16 Uを形成した。

#### 【0138】

i線ステッパーにより、金属多層膜16 Uの上に全面に亘ってレジストパターン (図示せず) を形成したのち、これをマスクとして利用し、反応性ガスとしてBCl<sub>3</sub> ガスを用いたRIE処理を行うことにより金属多層膜16 Uをパターンニングした。こうすることで、図14 (A), (B) に示したように上部書込ワード線6 Uが形成された。この上部書込ワード線6 UのX方向に沿った幅は700 nmとした。

#### 【0139】

上部書込ワード線6 Uを形成したのち、図15 (A), (B) に示したようにTEOSを用い、CVD装置により絶縁膜7 Cを全面に亘って形成し、CMP装置により、絶縁膜7 Cの表面の平坦化をおこなった。平坦化を行った絶縁膜7 Cの上に、マグネトロンスパッタ装置を用いて、10 nm厚のチタン (Ti)、10 nm厚のTiNおよび500 nm厚のアルミニウム (Al) を順に成膜し、のちに書込ビット線5となる多層膜5 Aを形成した。さらに、多層膜5 Aの上にレジストを塗布したのち、図16 (A), (B) に示したように、i線ステッパーにより選択的にレジストパターン32を形成した。

#### 【0140】

このレジストパターン32をマスクとして利用し、反応性ガスとしてBCl<sub>3</sub> ガスを用いたRIE処理を行うことにより多層膜5 Aをパターンニングした。これにより、X方向に沿った幅が700 nmの書込ビット線5が形成された。

#### 【0141】

次に、図17 (A), (B) に示したように、この書込ビット線5をマスクとして、自己整合的に積層構造19を形成した。具体的には、反応性ガスとしてC<sub>4</sub>F<sub>8</sub>を用いたRIEおよびイオンミリングにより、書込ビット線5によって保護されていない領域の絶縁膜7 Cの全てと、絶縁膜7 Bおよび上部書込ワード線6 Uにおける厚み方向の一部とを除去することにより積層構造19を形成した。

## 【0142】

書込ビット線5および書込ワード線6の平行部分10における積層構造19を形成したのち、図18(A)、(B)に示したように、この積層構造19の側面および上面を覆うように、 $\text{SiO}_2$ からなる絶縁膜7Dを形成する。具体的には、i線ステッパにより、A-A線に沿った切断面において少なくとも積層構造19を除く領域に選択的にレジストパターン33を形成したのち、TEOSを用いてCVD装置等により全面に絶縁膜7Dを形成した。

## 【0143】

次いで、絶縁膜7Dの側面および上面を選択的に覆うと共に底部環状磁性層4Bに連結するように上部環状磁性層4Uを形成することにより、底部環状磁性層4Bおよび上部環状磁性層4Uからなる環状磁性層4の形成を完了した。環状磁性層4は、Y方向に沿って350nmの長さに亘り、書込ビット線5および書込ワード線6の平行部分10の一部を取り囲むように形成した。

## 【0144】

具体的には、図19(A)、(B)に示したように、レジストパターン33をリフトオフにより除去したのち、i線ステッパ等により、A-A線に沿った切断面において少なくとも絶縁膜7Dを除く領域に選択的にレジストパターン34を形成した。さらに、スパッタリング装置を用い、このレジストパターン34を利用して底部環状磁性層4Bと同じ材料(NiFe)からなる上部環状磁性層4Uを形成した。

## 【0145】

次いで、図20(A)、(B)に示したように、レジストパターン34をリフトオフにより除去することにより、上部環状磁性層4Uを露出させた。

## 【0146】

続いて、図21(A)、(B)に示したように、TEOSを用い、CVD装置により絶縁膜7Eを全面に亘って形成したのち、CMP装置による絶縁膜7E表面の研磨をおこない、平坦化を図り、上部環状磁性層4Uの上面を露出させた。さらに上部環状磁性層4Uの厚みが50nmとなるまで研磨加工を行った。

## 【0147】

ここで、図 22 (A), (B) に示したように、上部環状磁性層 4 U の上に、TMR 素子 20 の形成をおこなった。具体的には、まず、i 線ステッパ等により、TMR 素子 20 を形成する領域以外の領域を覆うように、選択的にレジストパターン（図示せず）を形成した。次に、全面に亘って、高真空直流スパッタ装置により、厚み 0.7 nm のルテニウム (Ru) からなる非磁性導電層 9 と、5 nm 厚のコバルト鉄合金 (CoFe) からなる第 2 磁性層 8 と、1 nm 厚のアルミニウム (Al) 層とを順に形成した。このアルミニウム層を、13.33 Pa の圧力下で酸化プラズマにより酸化処理を行い、トンネルバリア層 3 を得た。さらに、厚み 5 nm の CoFe からなる第 1 磁性層 2 と、厚み 50 nm の IrMn からなる第 3 磁性層 15 と、厚み 5 nm のタンタル (Ta) からなる保護膜（図示せず）を形成したのち、レジストパターンを除去することによって図 26 (A) の TMR 素子 22 B の形成を完了した。

#### 【0148】

TMR 素子 22 B を形成したのち、TEOS を用い、CVD 装置により絶縁膜 7 F を全面に亘って形成し、CMP 装置による絶縁膜 7 F 表面の研磨をおこない、平坦化を図ると共に、TMR 素子 22 B の最上面を露出させた。

#### 【0149】

最後に、図 23 (A), (B) に示したように、読出ビット線 13 を形成した。具体的には、10 nm 厚のチタン (Ti)、10 nm 厚の窒化チタン (TiN) および 500 nm 厚のアルミニウム (Al) を順にマグネトロンスパッタリング装置を用いて積層し、多層膜 13 A を形成した。次に、所定形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして RIE を行うことにより未保護部分の多層膜 13 A を除去した。こうすることにより、所定形状の読出ビット線 13 を形成した。

#### 【0150】

こののち、i 線ステッパを用いてレジストパターンを形成したのち、マグネトロンスパッタ装置によりアルミニウム層を  $45\ \mu\text{m}$  となるように形成した。こうすることにより、書込ワード線 6 の各両端末に書込ワード線引出電極 41 を形成し、書込ビット線 5 の各両端末に書込ビット線引出電極 42 を形成し、読出ワ



ード線 12 の各両端末に読出ワード線引出電極 43 を形成し、さらに読出ビット線 13 の各両端末に読出ビット線引出電極 44 を形成した。続いて、マグネトロンスパッタ装置を用いて、全体を覆うように酸化アルミニウム ( $Al_2O_3$ ) を保護膜として形成したのち、研磨することで各引出電極 41 ~ 44 を露出させた。こののち、所定の工程を経て、縦に 4 素子、横に 4 素子ずつマトリックス状に並べた磁気メモリデバイスの形成を完了した (図 4 参照)。

#### 【0151】

上記の要領によって製造した磁気メモリデバイスについて、MR 比、トンネル抵抗  $R_t$ 、スイッチング電流および隣接セル反転電流について測定を行った。この結果を、実施例として表 1 に示す。ここで数値の比較を行うため、図 27, 28 に示した、連続した環状磁性層を持たない構造の記憶セルを有する磁気メモリデバイスについても同様の測定をおこなったので、比較例 1, 2 として表 1 に併記する。なお、測定時の印加磁場は  $(500/4\pi) \times 10^3 \text{ A/m}$  とした。図 27 に示した比較例 1 としての記憶セル 101 は、絶縁膜 7 に埋設されて互いに平行に延びる書込ビット線 105 および書込ワード線 106 と、その近傍に設けられた TMR 素子 20B とを備えているが、書込ビット線 105 および書込ワード線 106 を囲うような環状磁性層は全く備えていない。一方の図 28 に示した比較例 2 としての記憶セル 201 は、絶縁膜 7 に埋設されて互いに平行に延びる書込ビット線 5 および書込ワード線 6 の周囲の大部分を、断面が「コ」の字形状をなす環状磁性層 204 と、TMR 素子 20C の第 2 磁性層 8 とによって囲むように構成されたものである。但し、「コ」の字形状の環状磁性層 204 は、第 2 磁性層 8 と接触した部分を有しない。

#### 【0152】

【表 1】

	MR 比 %	トンネル抵抗 $\Omega \cdot (\mu m)^2$	スイッチング電流 mA	隣接セル反転電流 mA
実施例	40	970	1.7	20.0 以上
比較例 1	40	950	6.8	12.0
比較例 2	40	975	2.75	20.0 以上

## 【0153】

表 1 に示したように、本実施例と比較例 1, 2 とでは、MR 比およびトンネル抵抗  $R_t$  においては差が見られなかったものの、スイッチング電流および隣接セル反転電流について、明らかな有意差が確認できた。

## 【0154】

スイッチング電流とは、書込対象の記憶セルにおける磁化方向の反転をおこなうために必要な最小限の電流値である。このスイッチング電流については、本実施例が、比較例 1 のほぼ 4 分の 1 という小さな値を示した。これは、効率よく感磁層の磁化反転を行うことができたので、小さな電流であっても書き込み操作が可能となったことを示す。

## 【0155】

隣接セル反転電流とは、書込対象の記憶セルと隣接した記憶セルに印加された電流によって、本来、書込がなされるべきでない記憶セルの磁化方向が反転してしまう電流値を表す。表 1 に示したように、本実施例では、従来例よりも大きな書込電流を印加しても、隣接する記憶セルにおける磁化方向は反転しないことがわかった。これは、閉じた磁路を形成し、隣接する記憶セルに悪影響を及ぼす磁界の発生を抑制することができたことを示す。

## 【0156】

以上説明したように、本実施例によれば、TMR 素子 22B が、環状に形成され、書込ビット線 5 と書込ワード線 6 とによって貫かれるように構成されると共に感磁層として機能する環状磁性層 4 と、積層面に垂直な方向に電流が流れるように構成された積層体とを含むようにしたので、書込ビット線 5 と書込ワード線

6の双方に電流を流すことによって閉じた磁路を形成することができ、TMR素子22Bの環状磁性層4における磁化の反転をより効率よく行うことができると共に、書込対象とする記憶セルに隣接した記憶セルに対して、磁気的な影響を低減することができる。

#### 【0157】

以上、いくつかの実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されず、種々変形可能である。例えば、本実施の形態では、書込ワード線6を屈曲させ、矩形波状に延在するようにしたが、図29(A)に示したように、書込ワード線6を鋸歯状(三角波状)の形状となるように屈曲させてもよい。その場合には、図30に示したような記憶セル1の配設となる。また、本実施の形態では、書込ワード線6のみ屈曲させ、ビアホール7Hに埋め込まれた層間接続層17を介して互いに接続するようにしたが、書込ビット線5のみ屈曲させるようにしてもよいし、あるいは、図29(B),(C)に示したように書込ワード線6および書込ビット線5を両方とも屈曲させるようにしてもよい。図29(B)は、「く」の字形状に屈曲し、全体として一方向に延在するパターンを有する書込ビット線5と、やはり「く」の字形状に屈曲し、全体として書込ビット線5とは異なる一方向に延在するパターンを有する書込ワード線6とが、互いに、「く」の字形状の一部が平行となるように交差して構成されたものである。図29(C)は、隣接する書込ビット線5どうしが、互いの間隔を所定範囲内で変化させながら全体として一定方向に延在するようにすると共に、隣接する書込ワード線6どうしが、互いの間隔を所定範囲内で変化させながら全体として書込ビット線5とは異なる一定方向に延在するようにしたパターンを有し、これら書込ビット線5と書込ワード線6との一部が平行になるように構成されたものである。すなわち、進行方向に沿った下層直線に互いに対称な形状を保ちながら、接近する部分と遠ざかる部分とを交互になすように繰り返して延在するように構成されたものである。ここで、接近する部分と遠ざかる部分とは、台形の輪郭の一部をなしている。

#### 【0158】

また、書込ビット線5を、その両端がカレントドライブ回路56Cに接続され

たループ形状となるように構成してもよい。同様に、書込ワード線 6 が、その両端がカレントドライブ回路 58C に接続されたループ形状となるように構成してもよい。

#### 【0159】

また、図 31 に示したように、各記憶セル 1 とワードデコード線 71X との間に整流素子 75 を配置することによって、より安定した電流の流れを確保するようにすることも可能である。

#### 【0160】

また、本実施の形態では、書込ビット線 5 と書込ワード線 6 とが互いに平行部分 10 をなす場合について説明したが、これに限定されず、互いに非平行であってもよい。ただし、平行部分 10 を取り囲むように環状磁性層 4 を形成する場合には、感磁層の磁化反転がより効率的に行われるのでより好ましい。

#### 【0161】

##### 【発明の効果】

以上説明したように、請求項 1 ないし請求項 13 のいずれか 1 項に記載の磁気抵抗効果素子によれば、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に、積層面に沿った方向を軸方向とするように配設されると共に、複数の導線によって貫かれるように構成された環状磁性層とを備えるようにしたので、複数の導線に電流を流すことによって閉じた磁路を形成することができ、感磁層における磁化の反転をより効率よく行うことができる。

#### 【0162】

請求項 14 ないし請求項 30 のいずれか 1 項に記載の磁気メモリデバイスによれば、複数の第 1 の書込線と、これら複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体をそれぞれ含む複数の磁気抵抗効果素子とを備え、この磁気抵抗効果素子が、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第 1 の書込線および第 2 の書込線によって貫かれるように構成された環状磁性層、を含むよう

にしたので、第1の書込線と第2の書込線の双方に電流を流すことによって閉じた磁路を形成することができ、環状磁性層における磁化の反転をより効率よく行うことができると共に、書込対象とする記憶セルに隣接した記憶セルに対して、磁気的な影響を低減することができる。

#### 【0163】

特に、請求項3に記載の磁気抵抗効果素子または請求項16に記載の磁気メモリデバイスによれば、複数の書込線が、環状磁性層を貫く領域において互いに平行に延びるように構成するようにしたので、複数の導線に電流を流すことによって感磁層に生じる合成磁界を、これらの導線が互いに交差する場合よりも大きくすることができ、環状磁性層における磁化反転をより効率的に行うことができる。その結果、磁化反転に必要とされる書込電流をより小さくすることができる。さらに、感磁層における複数の磁区の磁化方向をより良好に揃えることができるので、より高い信頼性が得られる。

#### 【0164】

請求項31ないし請求項33のいずれか1項に記載の磁気メモリデバイスの製造方法によれば、第2の書込線をマスクとして、第1の書込線と、第1および第2の書込線によって挟まれた第2の絶縁層とを選択的にエッチングして除去することにより、第1および第2の書込線が互いに平行に延在する平行部分における積層構造を自己整合的に形成する工程を含むようにしたので、高精度な加工ができると共に、製造工程の簡略化を図ることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

##### 【図2】

図1に示した磁気メモリデバイスの書込線の構成を示す平面図である。

##### 【図3】

図1に示した磁気メモリデバイスの回路構成を示す回路図である。

##### 【図4】

図 1 に示した磁気メモリデバイスの記憶セル群の要部構成を示す部分平面図である。

【図 5】

図 1 に示した磁気メモリデバイスの記憶セル群の要部構成を示す他の部分平面図である。

【図 6】

図 1 に示した磁気メモリデバイスの記憶セル群の要部構成を示す要部斜視図である。

【図 7】

図 4 に示した記憶セルの A - A 線に沿った切断面の構成を示す断面図である。

【図 8】

図 1 に示した磁気メモリデバイスの製造方法における一工程を表す拡大断面図である。

【図 9】

図 8 に続く一工程を表す拡大断面図である。

【図 1 0】

図 9 に続く一工程を表す拡大断面図である。

【図 1 1】

図 1 0 に続く一工程を表す拡大断面図である。

【図 1 2】

図 1 1 に続く一工程を表す拡大断面図である。

【図 1 3】

図 1 2 に続く一工程を表す拡大断面図である。

【図 1 4】

図 1 3 に続く一工程を表す拡大断面図である。

【図 1 5】

図 1 4 に続く一工程を表す拡大断面図である。

【図 1 6】

図 1 5 に続く一工程を表す拡大断面図である。

**【図 1 7】**

図 1 6 に続く一工程を表す拡大断面図である。

**【図 1 8】**

図 1 7 に続く一工程を表す拡大断面図である。

**【図 1 9】**

図 1 8 に続く一工程を表す拡大断面図である。

**【図 2 0】**

図 1 9 に続く一工程を表す拡大断面図である。

**【図 2 1】**

図 2 0 に続く一工程を表す拡大断面図である。

**【図 2 2】**

図 2 1 に続く一工程を表す拡大断面図である。

**【図 2 3】**

図 2 2 に続く一工程を表す拡大断面図である。

**【図 2 4】**

本発明の第 2 の実施の形態に係る磁気メモリデバイスにおける要部構成を表す断面図である。

**【図 2 5】**

本発明の第 3 の実施の形態に係る磁気メモリデバイスにおける要部構成を表す断面図である。

**【図 2 6】**

図 2 5 に示した磁気メモリデバイスの第 1 ～第 3 の変形例における要部構成を表す断面図である。

**【図 2 7】**

図 1 に示した磁気メモリデバイスにおける第 1 の比較例としての磁気メモリデバイスの要部構成を説明するための断面図である。

**【図 2 8】**

図 1 に示した磁気メモリデバイスにおける第 2 の比較例としての磁気メモリデバイスの要部構成を説明するための断面図である。

**【図 29】**

図 1 に示した磁気メモリデバイスの書込線の構成における変形例を表す平面図である。

**【図 30】**

図 29 に示した変形例の要部構成を示す部分平面図である。

**【図 31】**

図 1 に示した磁気メモリデバイスの回路構成における変形例を表す平面図である。

**【図 32】**

従来例としての磁気メモリデバイスの構成を説明するための平面図である。

**【図 33】**

従来例としての磁気メモリデバイスの要部構成を説明するための断面図である。

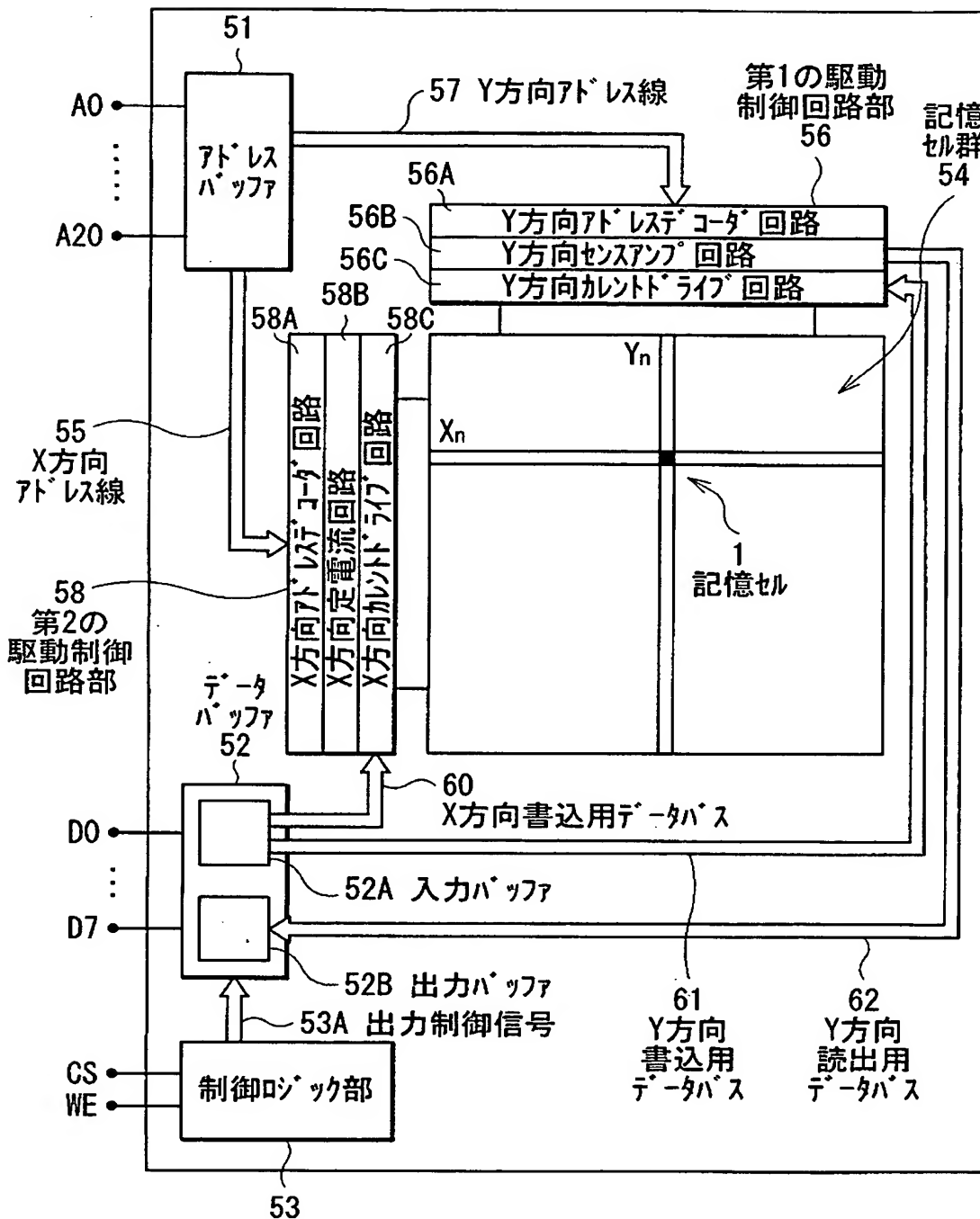
**【符号の説明】**

1…記憶セル、2…第 1 磁性層、3…トンネルバリア層、4…環状磁性層、4 B…底部第 2 磁性層、4 U…上部第 2 磁性層、5…書込ビット線、5 A…多層膜、6…書込ワード線、6 B…下部書込ワード線、6 U…上部書込ワード線、7…絶縁膜、7 H…ビアホール、8…第 2 磁性層、9…非磁性導電層、10…平行部分、11…基板、12…読出ワード線、12 A…多層膜、13…読出ビット線、14 U…合金層、15…第 3 磁性層、16 B…多層膜、16 U…金属膜、17…層間接続層、18…第 4 磁性層、19…積層体、20, 21, 22…TMR 素子、35…非磁性導電層、41…書込ワード線引出電極、42…書込ビット線引出電極、43…読出ワード線引出電極、44…読出ビット線引出電極。

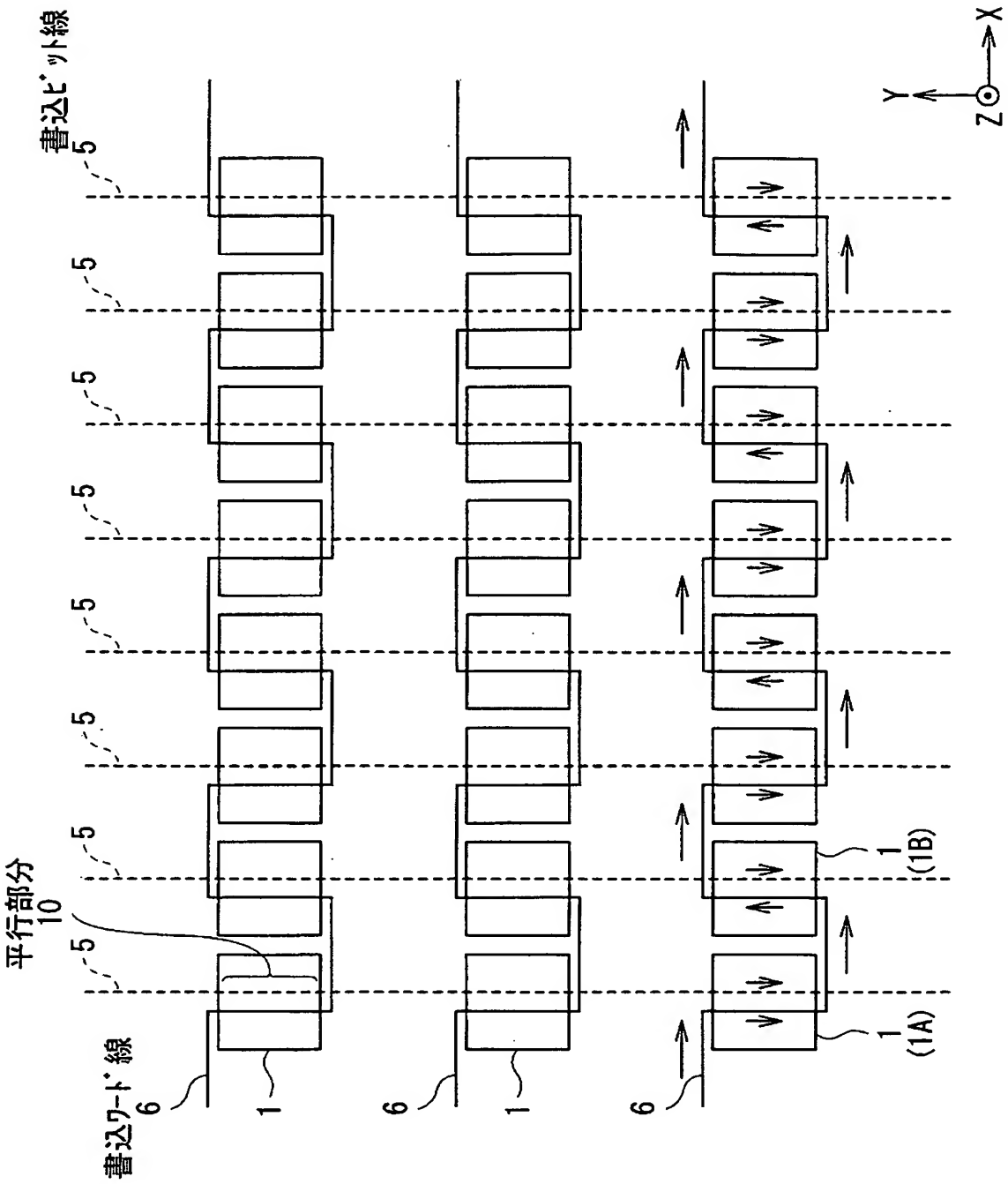


【書類名】 図面

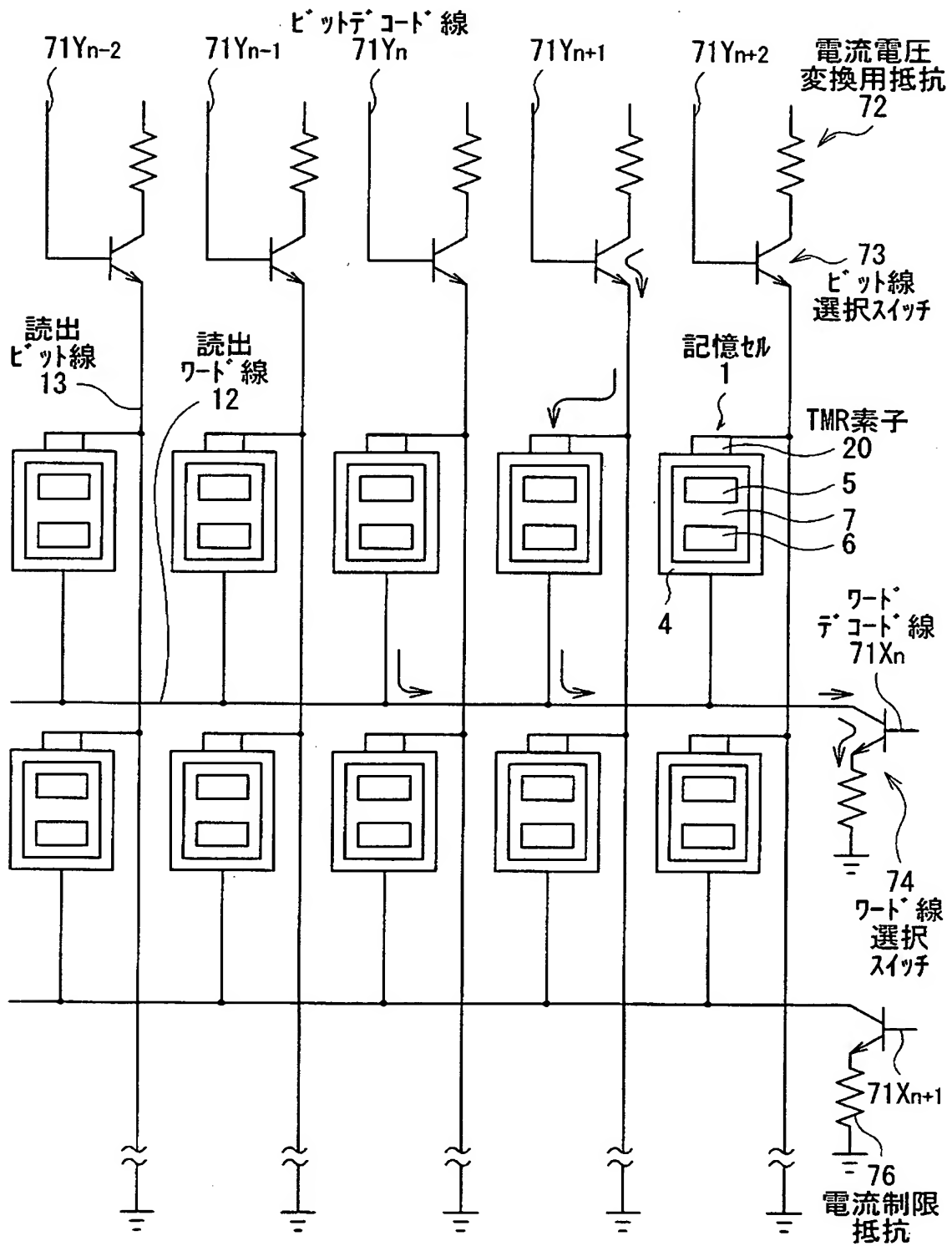
【図 1】



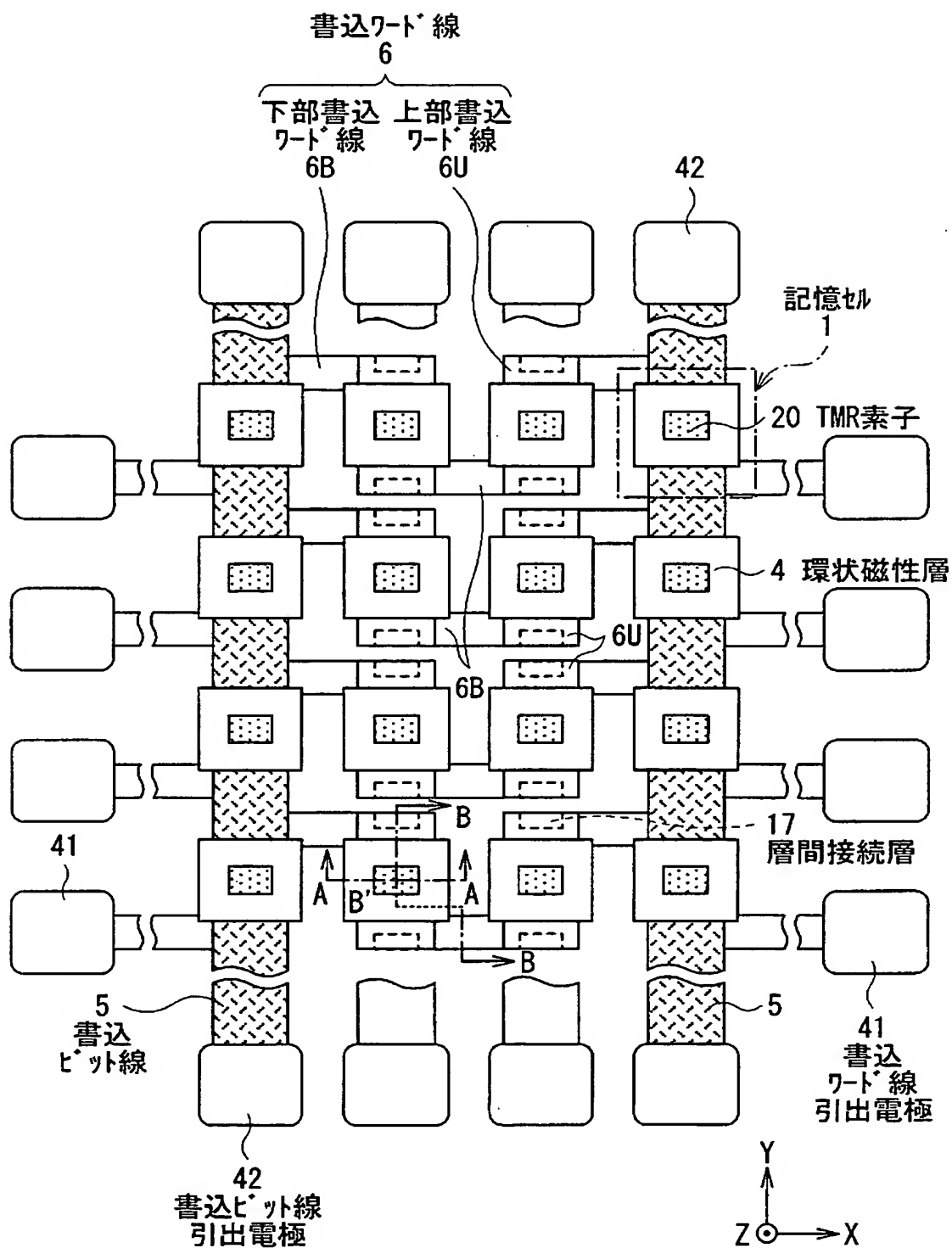
【図 2】



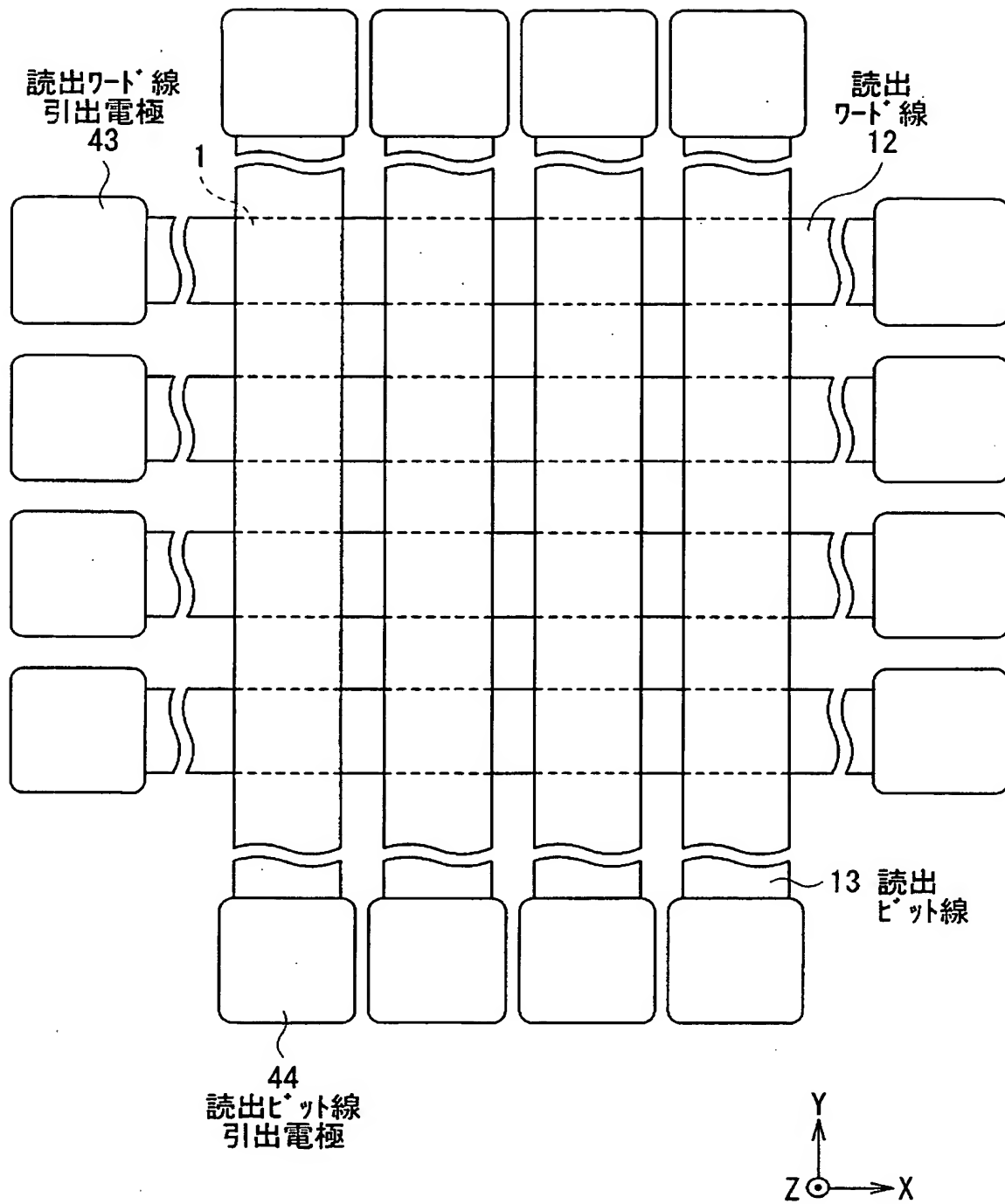
【図 3】



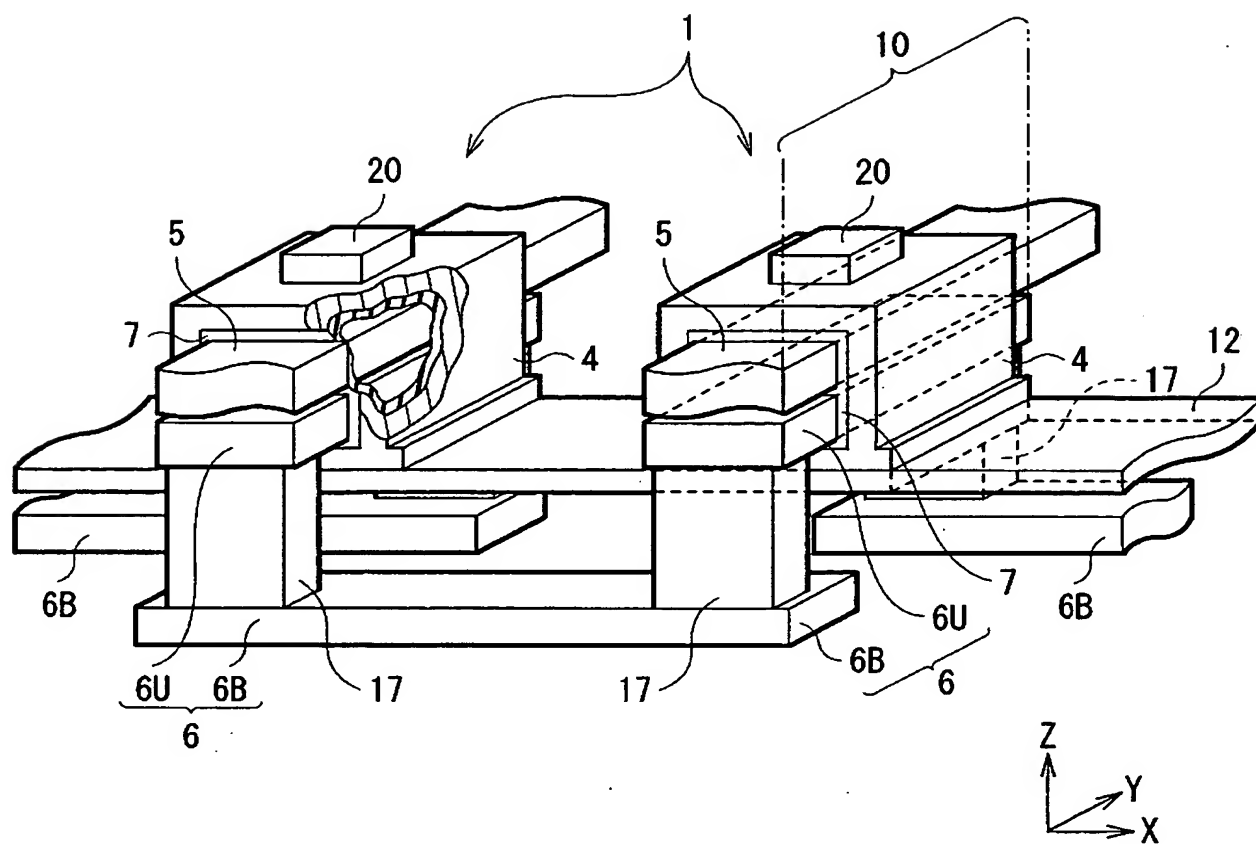
【図 4】



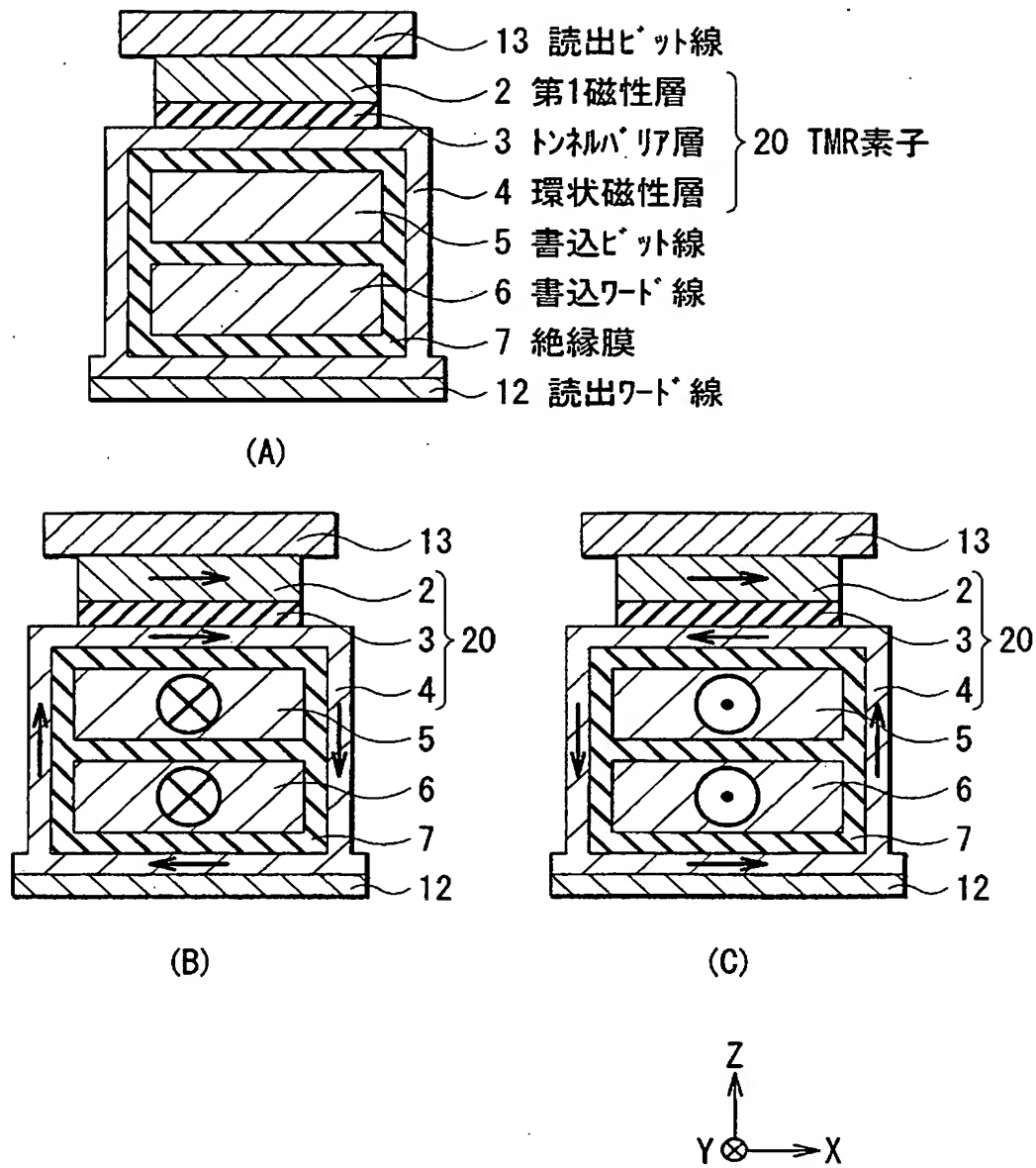
【図 5】



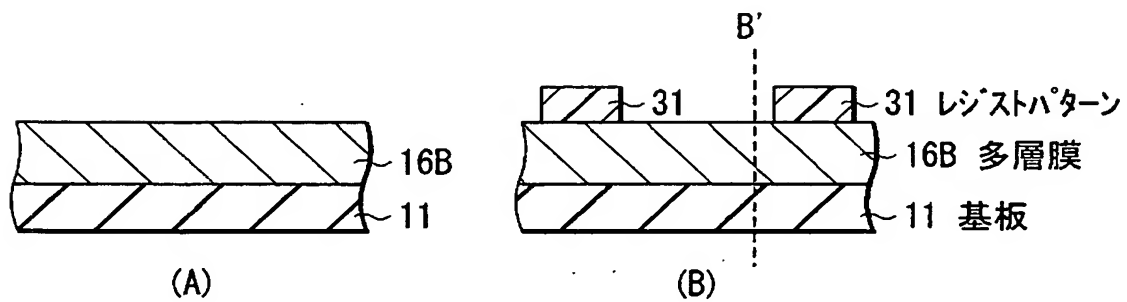
【図 6】



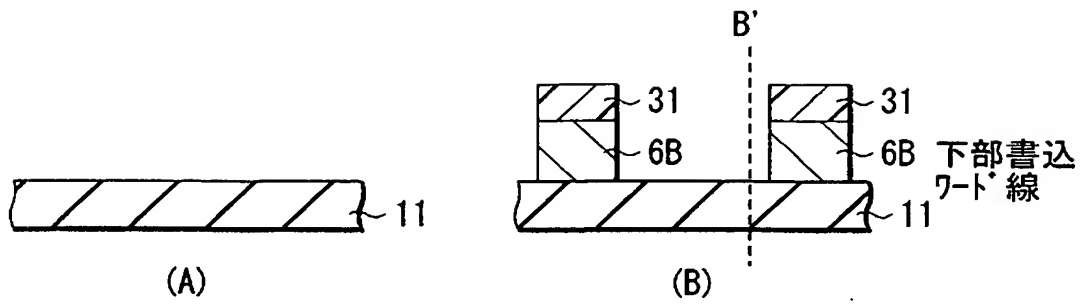
【図 7】



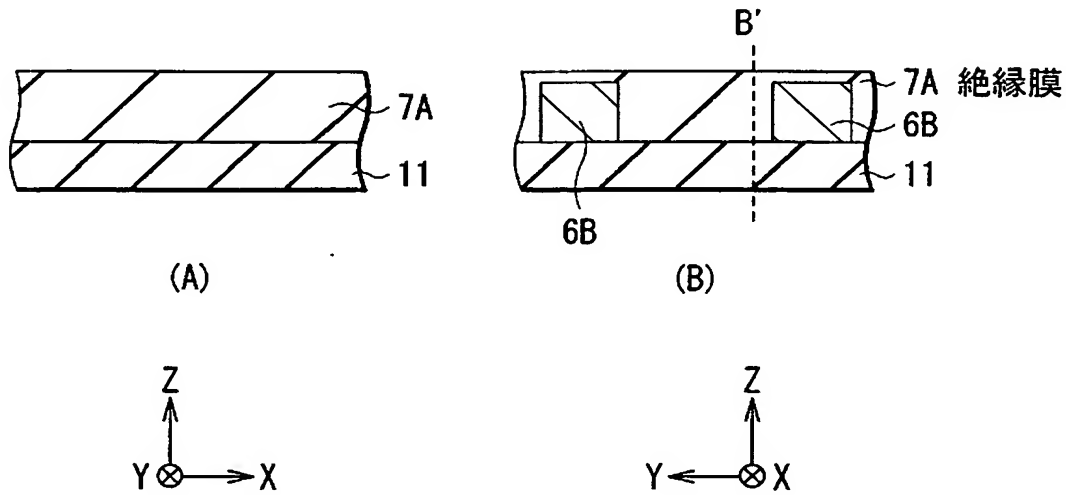
【図 8】



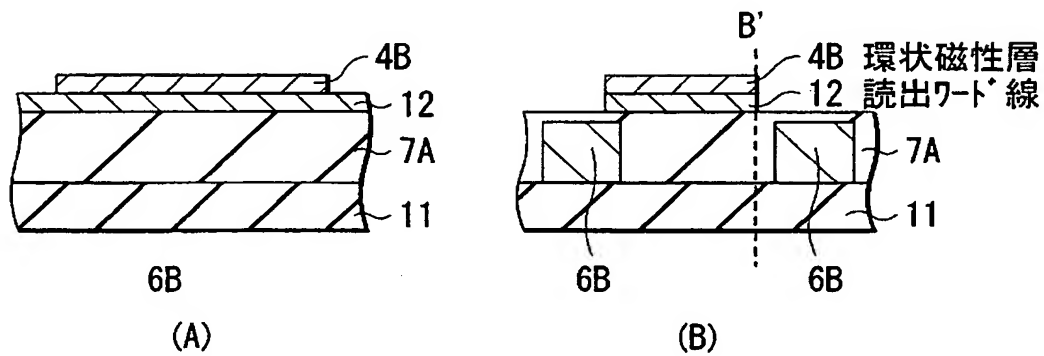
【図 9】



【図 10】

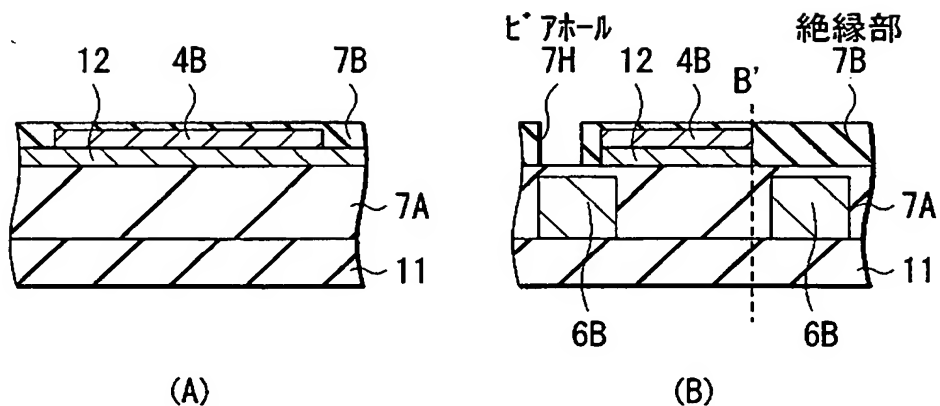


【図 11】

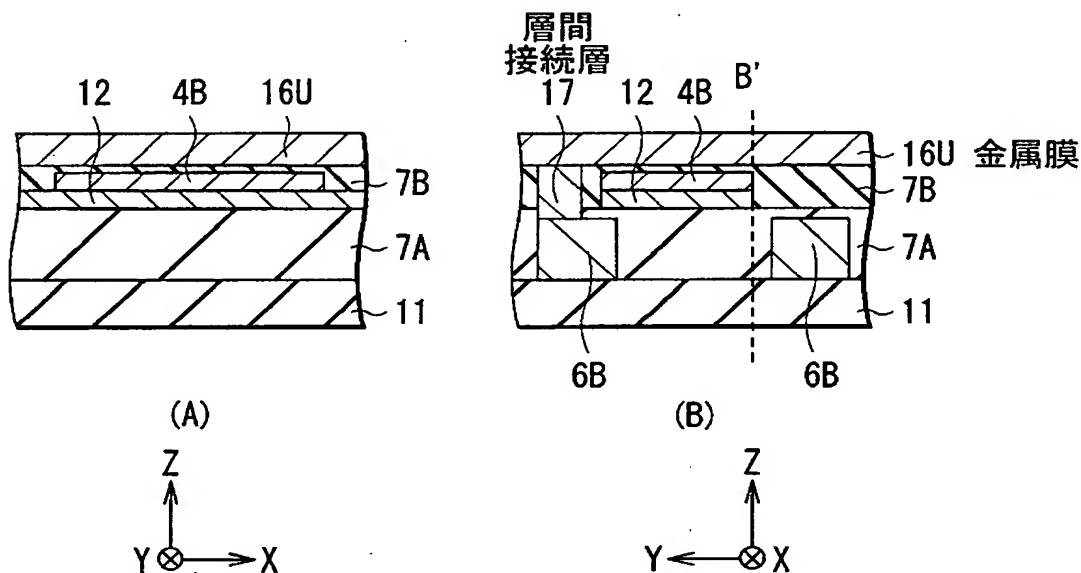




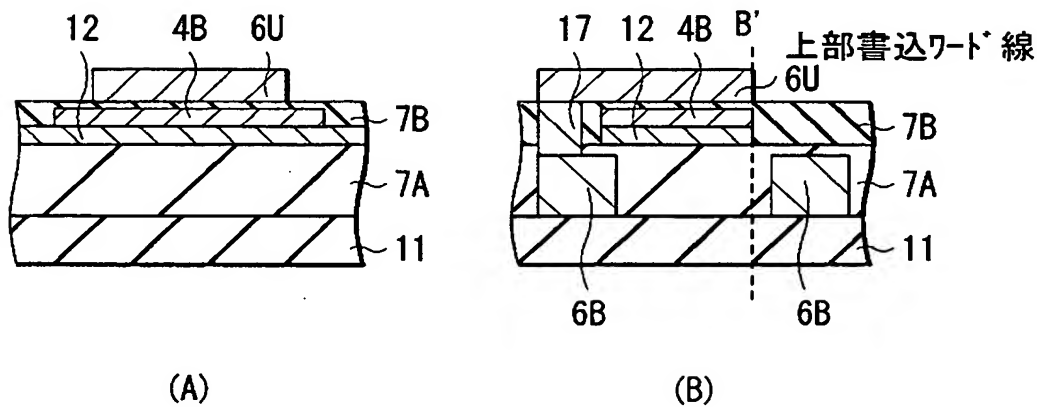
【図 1 2】



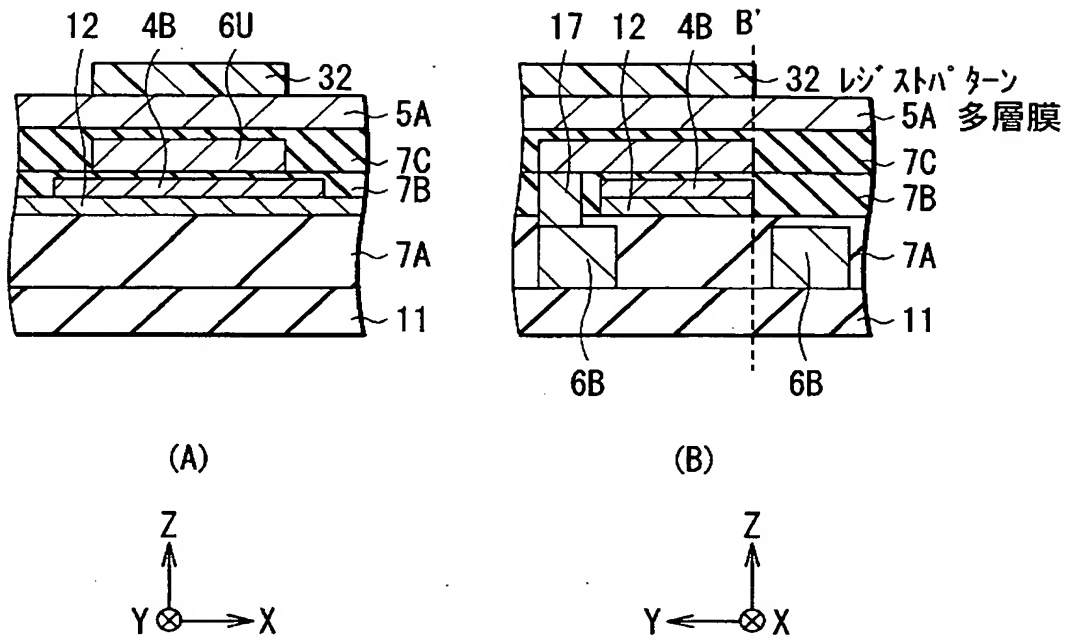
【図 1 3】



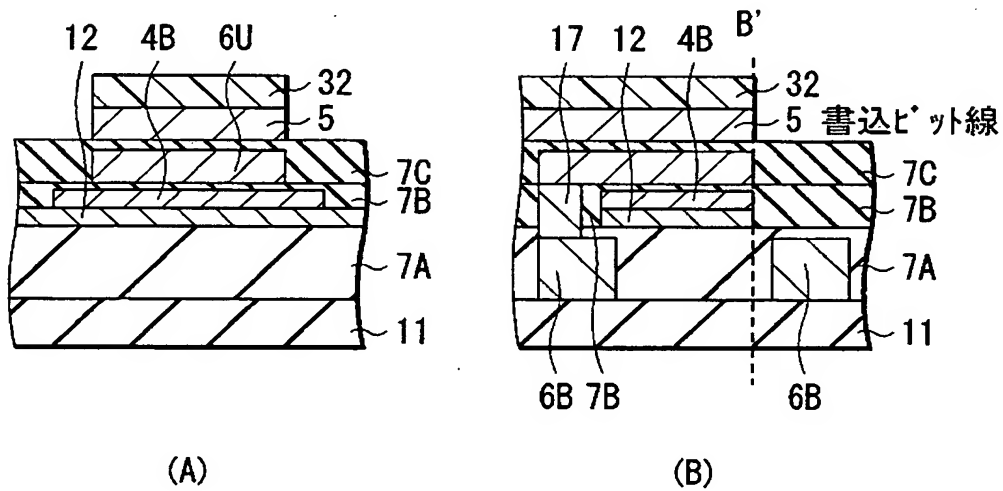
【図 1 4】



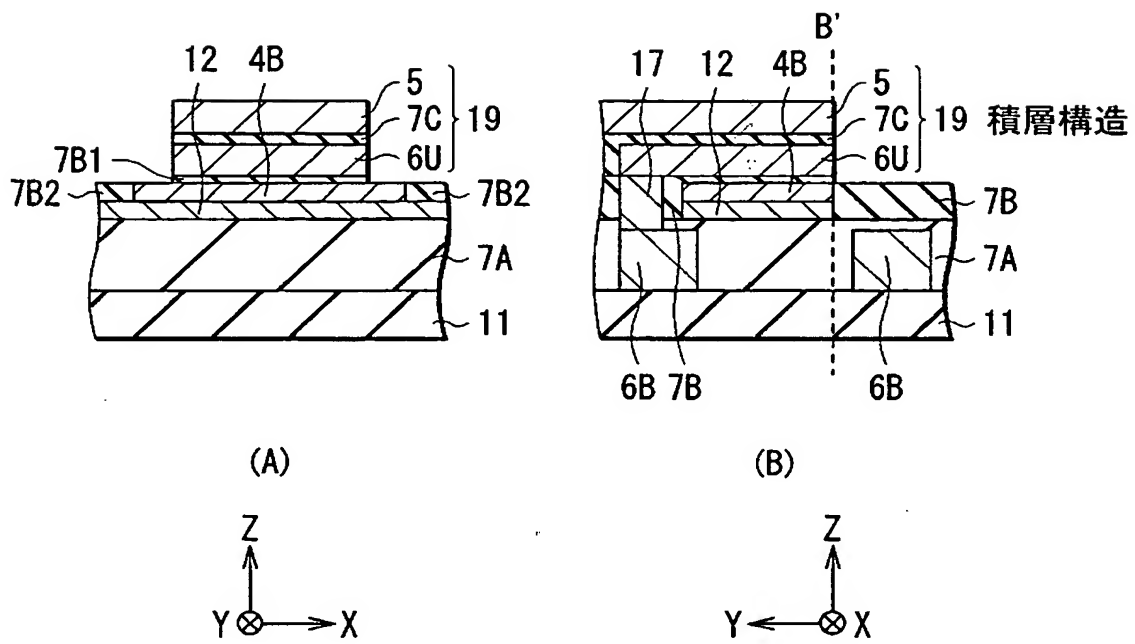
【図 15】



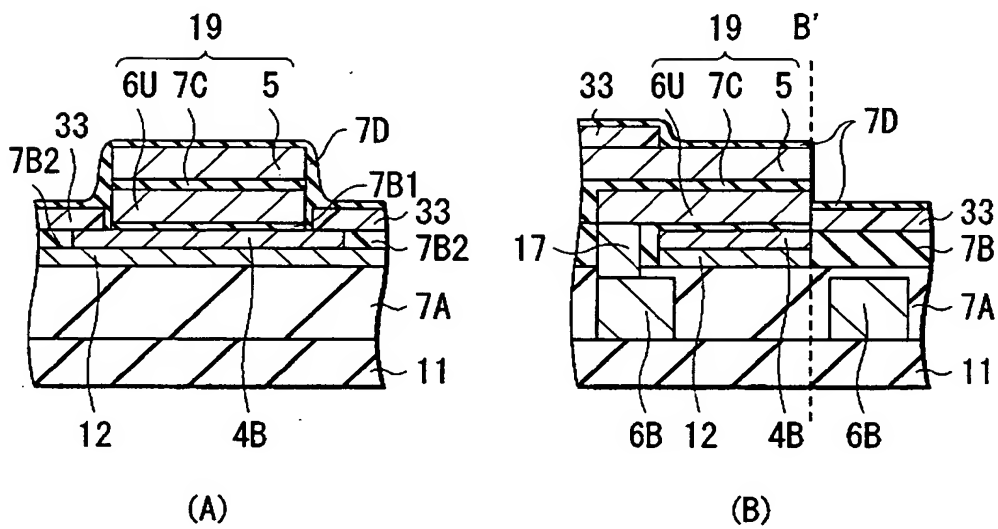
【図 16】



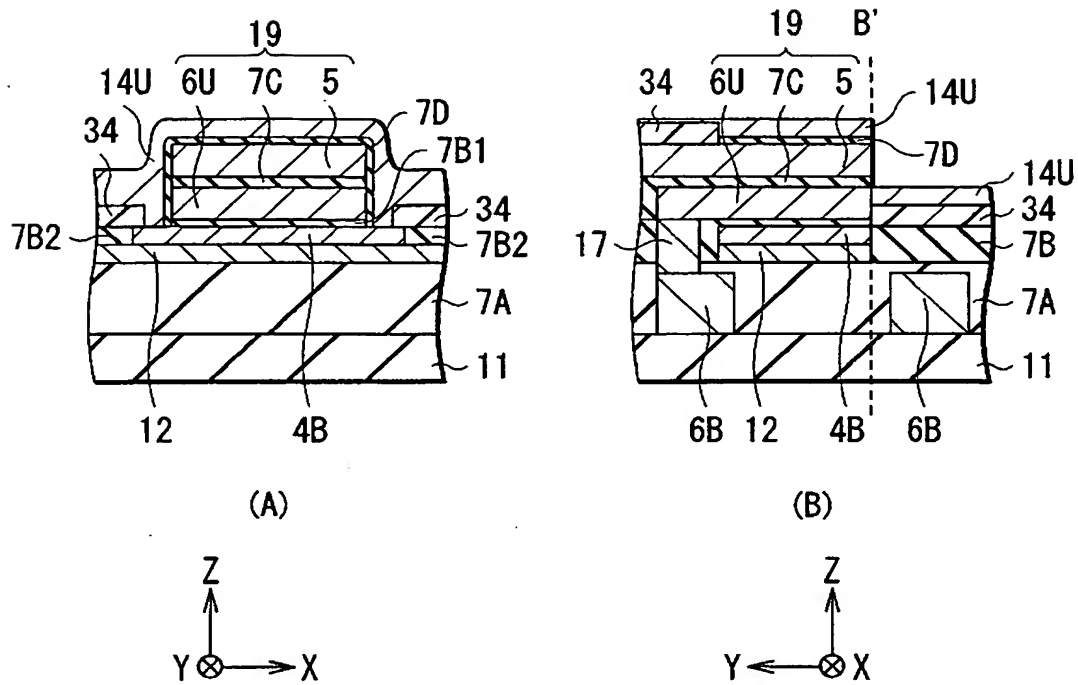
【図 17】



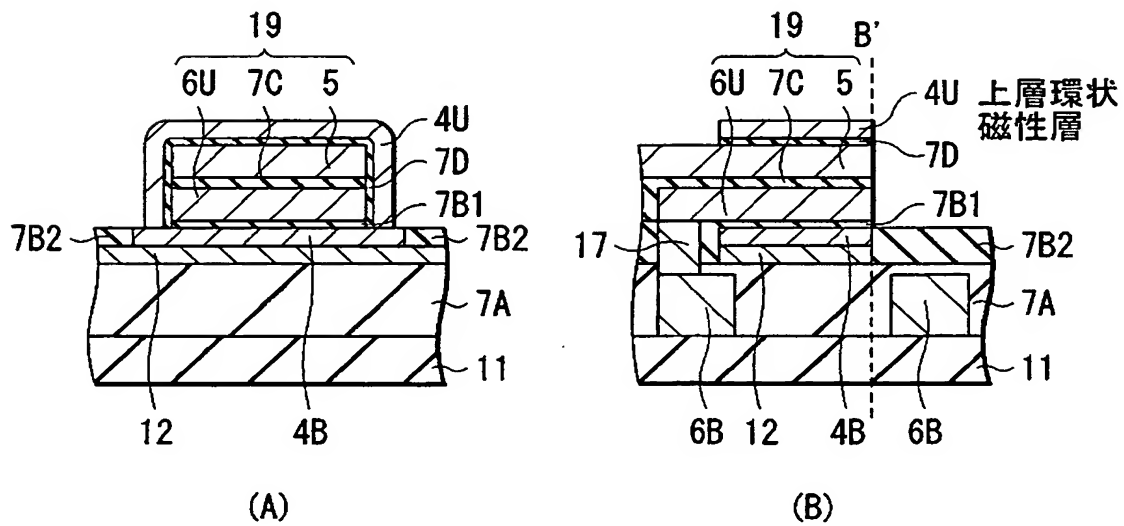
【図 18】



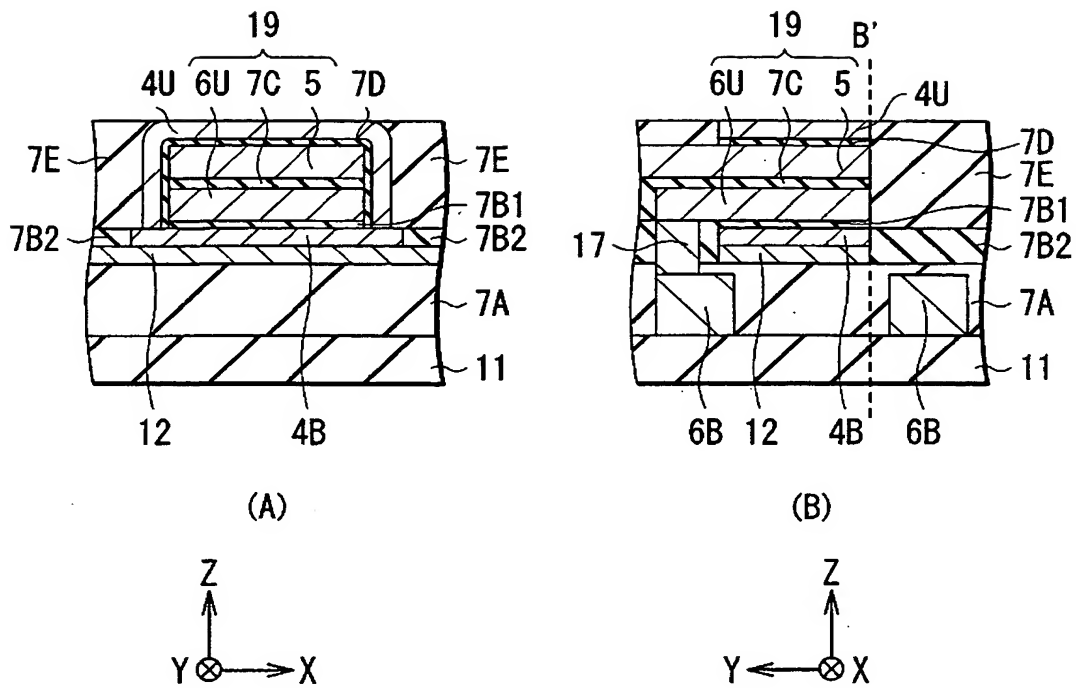
【図 19】



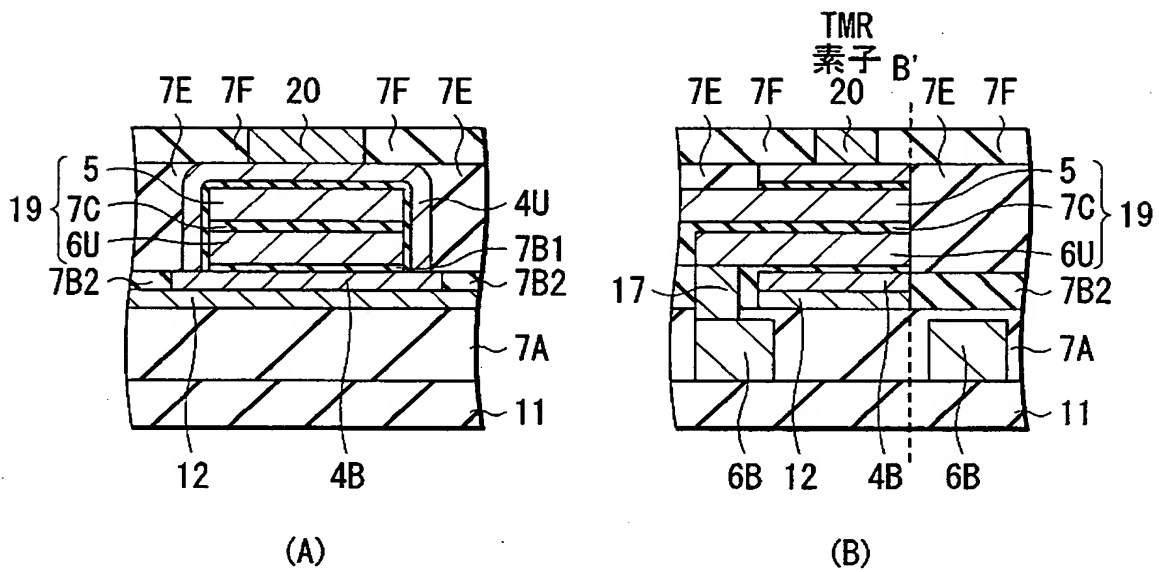
【図 20】



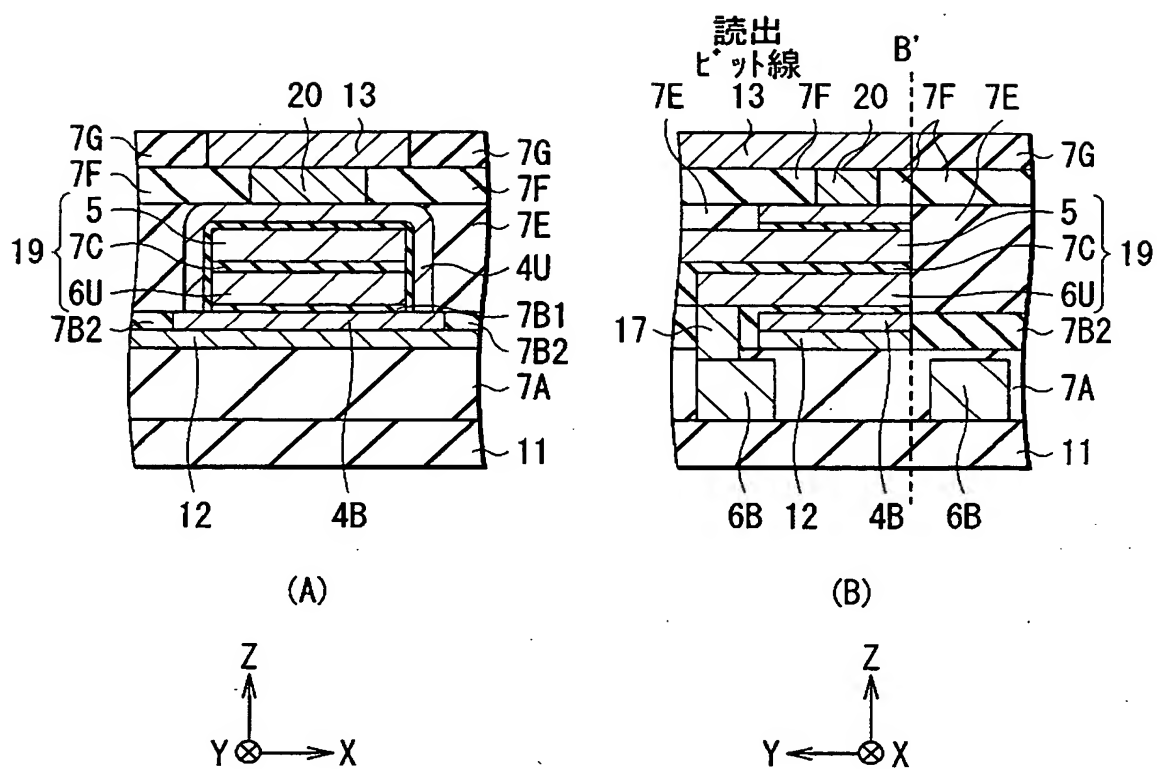
【図 21】



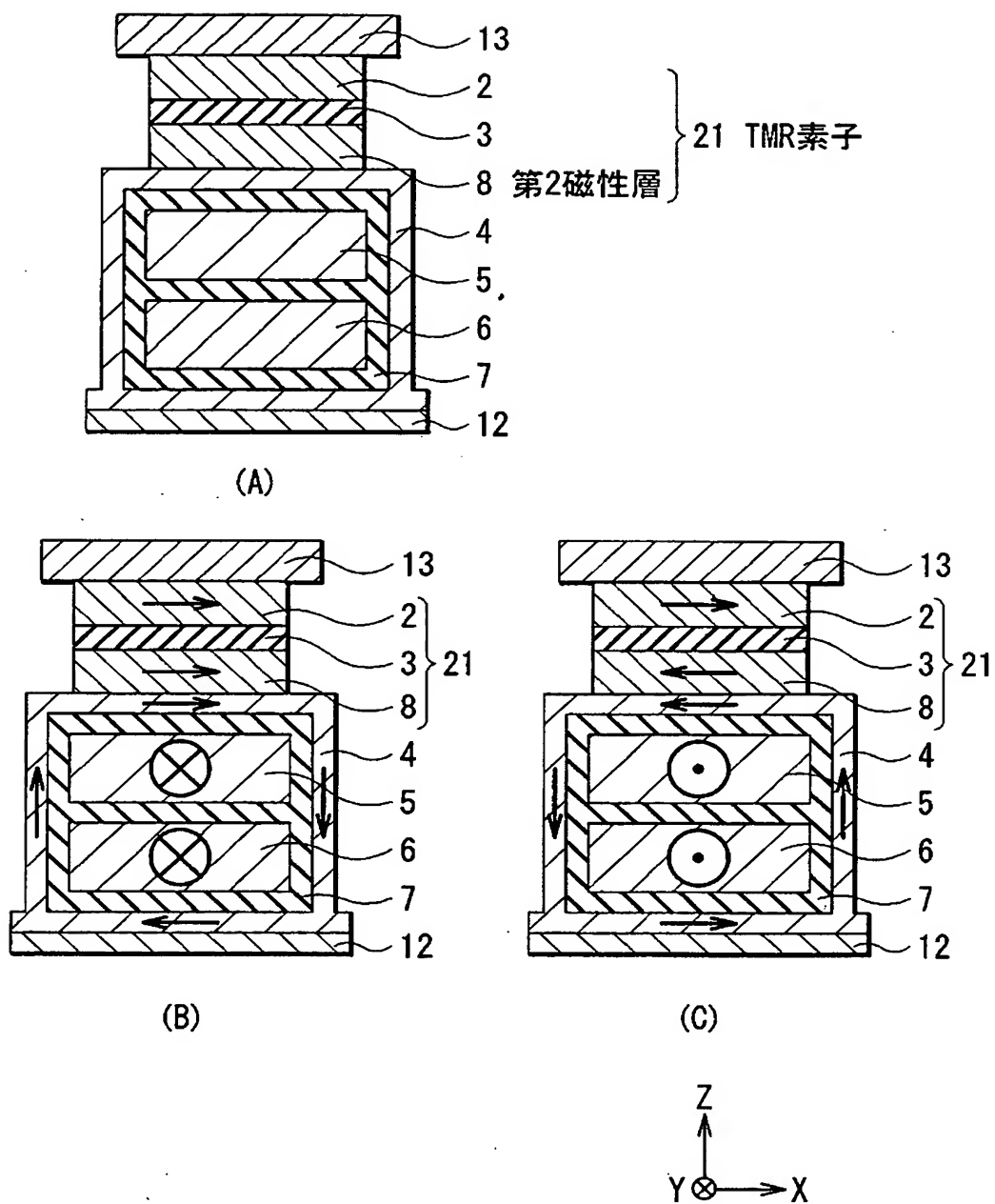
【図 22】



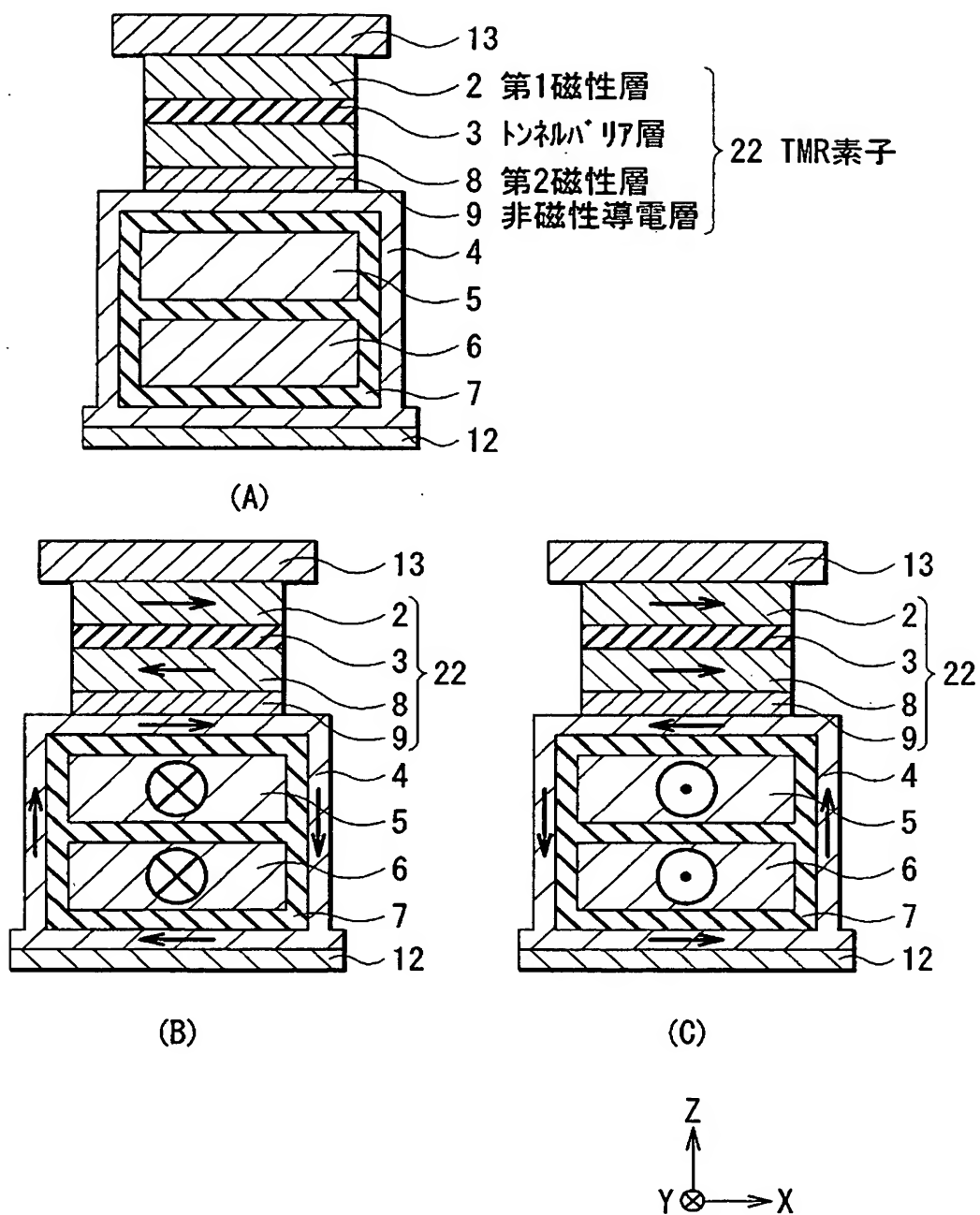
【図 23】



【図 24】

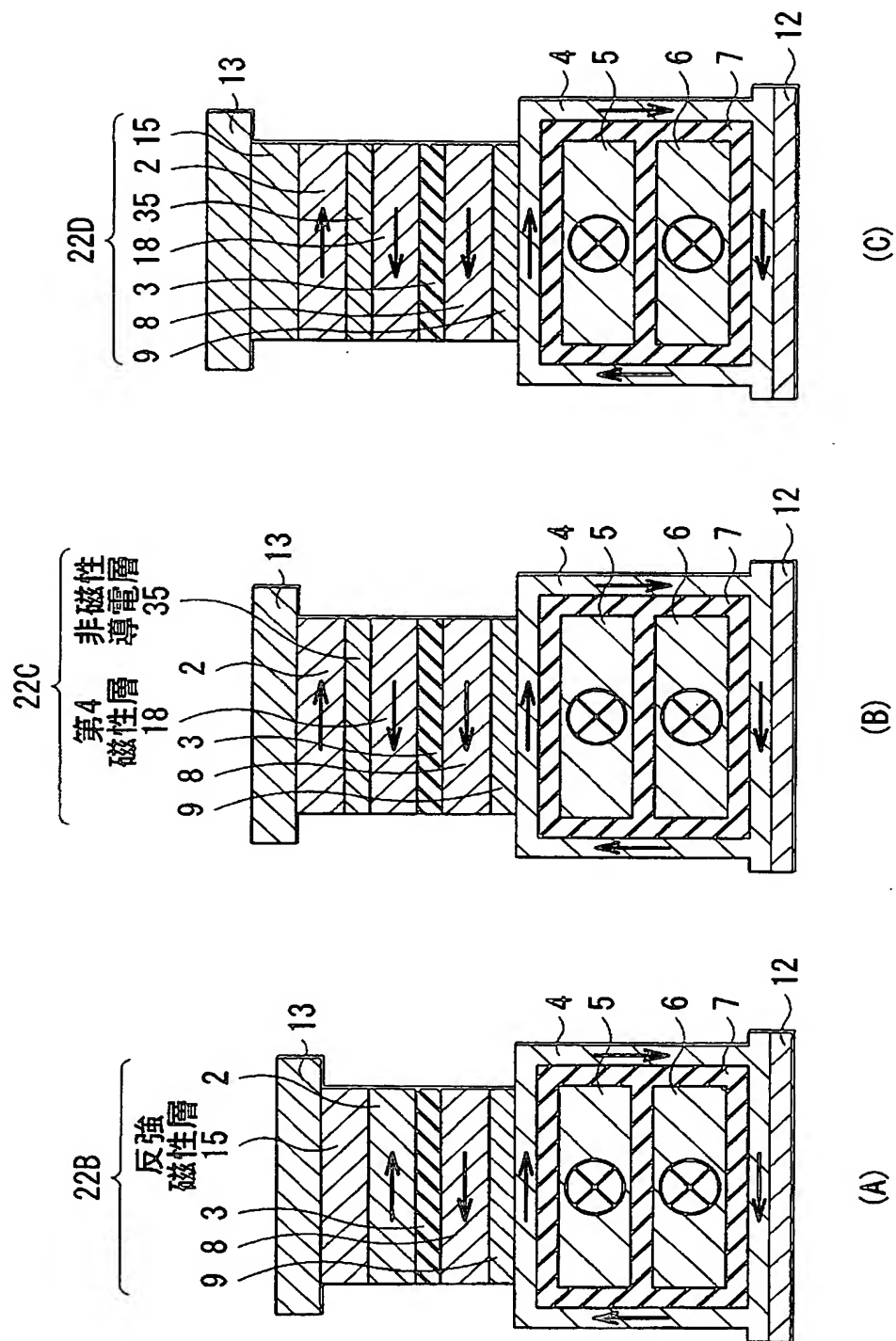


【図 25】

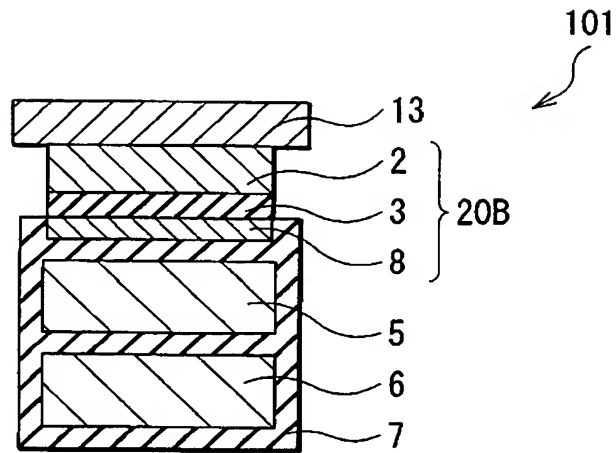




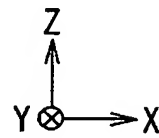
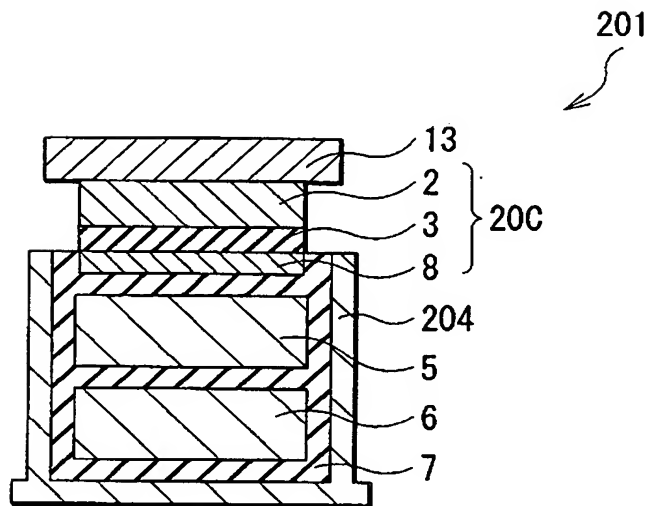
【図 26】



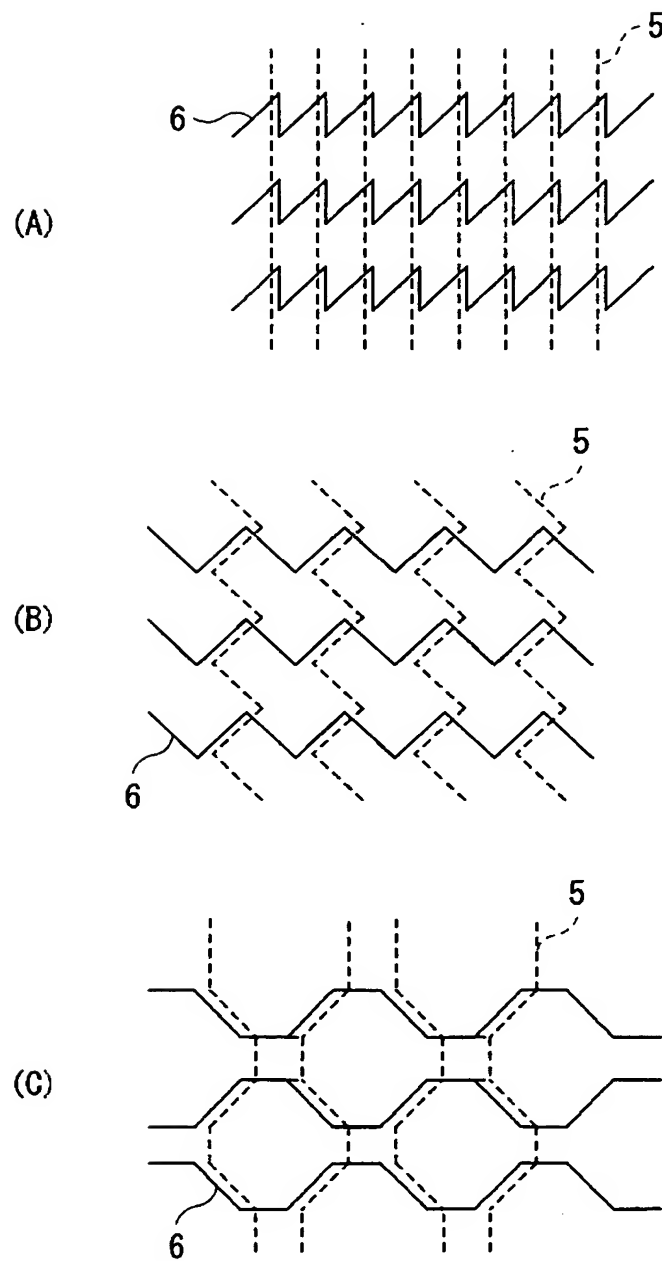
【図 27】



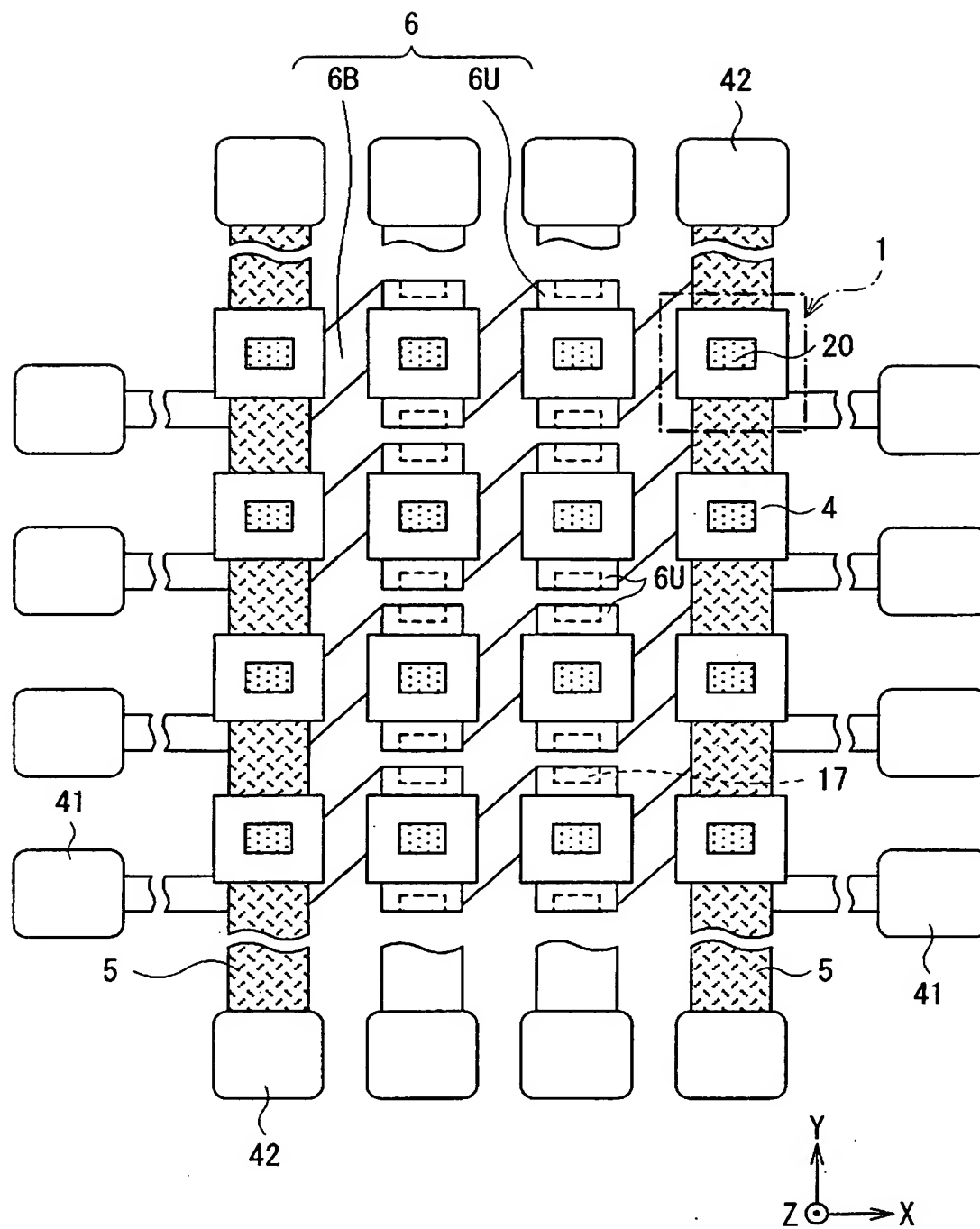
【図 28】



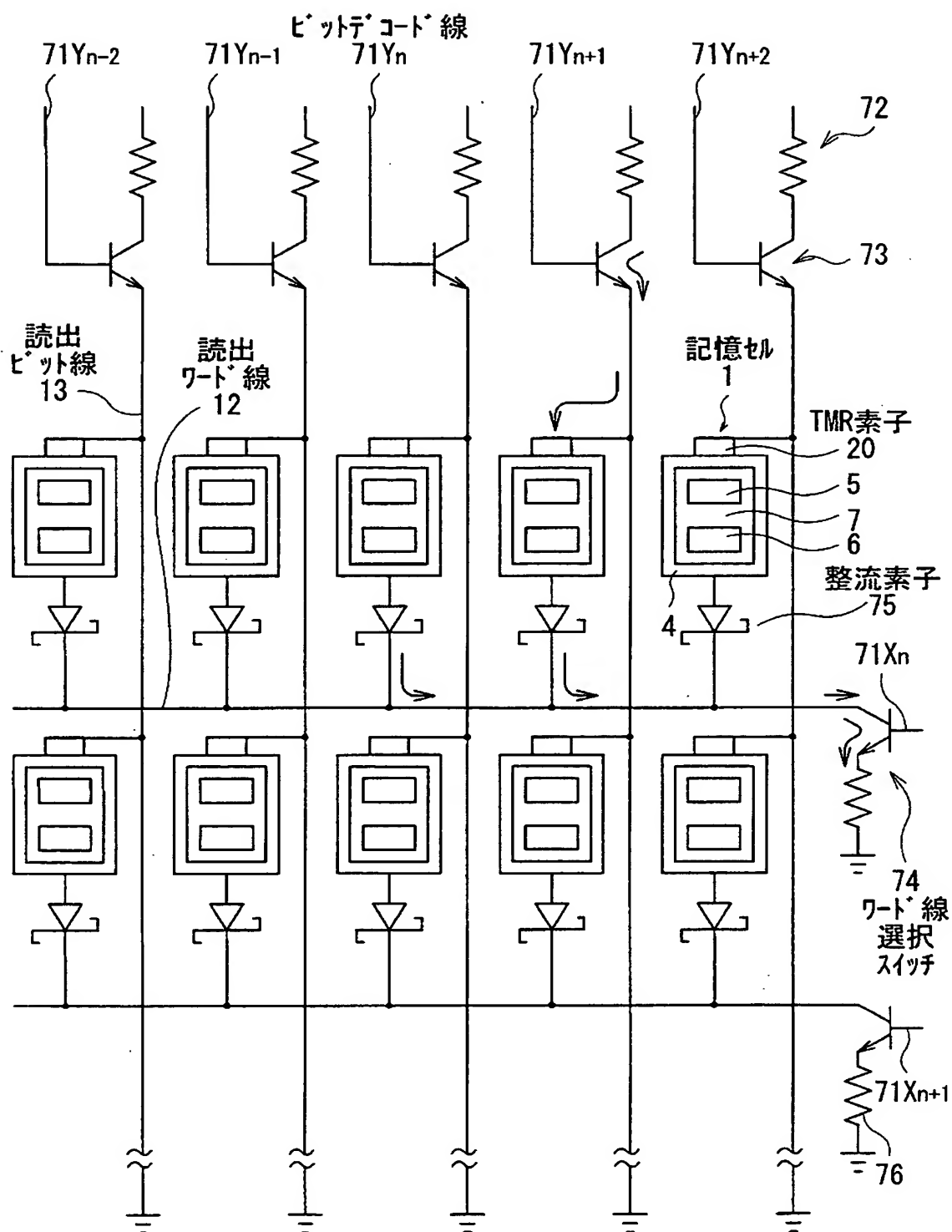
【図 29】



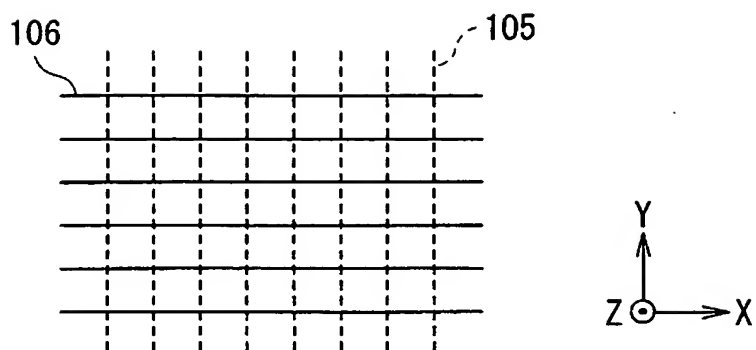
【図 30】



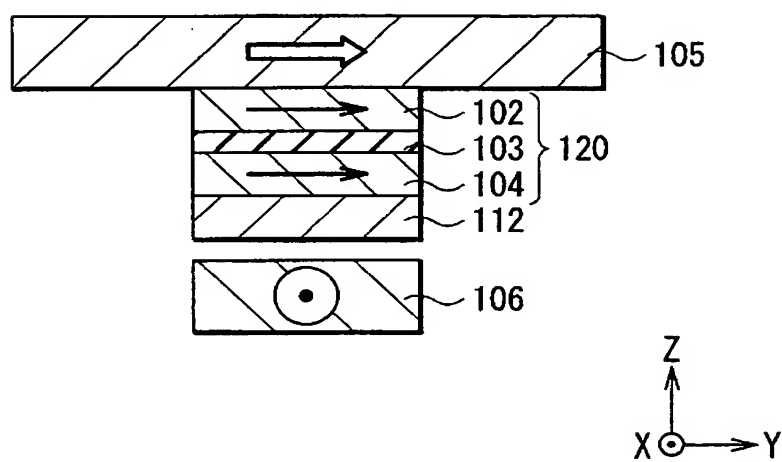
【図 31】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 より強力な磁界を効率よく利用し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気抵抗効果素子を提供する。さらに、そのような磁気メモリデバイスを容易に製造するための方法を提供する。

【解決手段】 外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に、積層面に沿った方向を軸方向とするように配設されると共に、複数の導線によって貫かれるように構成された環状磁性層とを備えるようにしたので、複数の導線に電流を流すことによって閉じた磁路を形成することができ、感磁層における磁化の反転をより効率よく行うことができる。

【選択図】 図 6

特願 2 0 0 2 - 3 0 7 6 8 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 6 7 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 3 0 日  
新規登録

住 所  
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号  
ティーディーケー株式会社

2. 変更年月日  
[変更理由]

2 0 0 3 年 6 月 2 7 日  
名称変更

住 所  
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号  
T D K 株式会社